

Logos2 FPGA 开发平台

用户手册

P200 核心板

The logo for ALINX, featuring the word "ALINX" in a bold, black, sans-serif font. The letter "A" is stylized with an orange swoosh underneath it, and the letter "X" is also stylized with an orange swoosh underneath it.

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

目 录

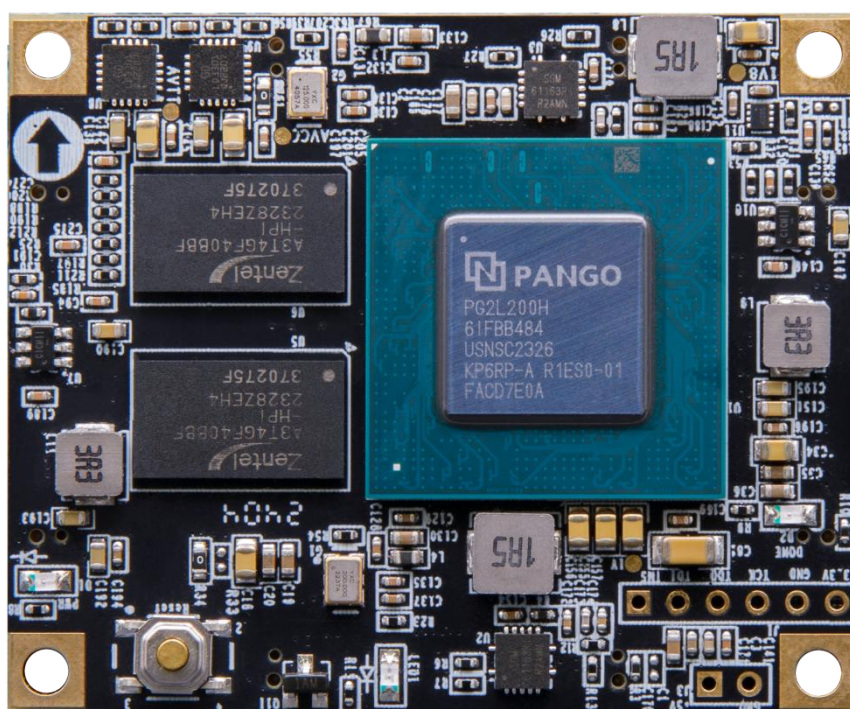
文档版本控制	2
(一) 简介	4
(二) FPGA	5
(三) 有源晶振	7
(四) DDR3	8
(五) QSPI Flash	12
(六) LED 灯	14
(七) 复位按键	15
(八) 扩展接口	16
(九) 电源	22
(十) 结构图	25

(一) 简介

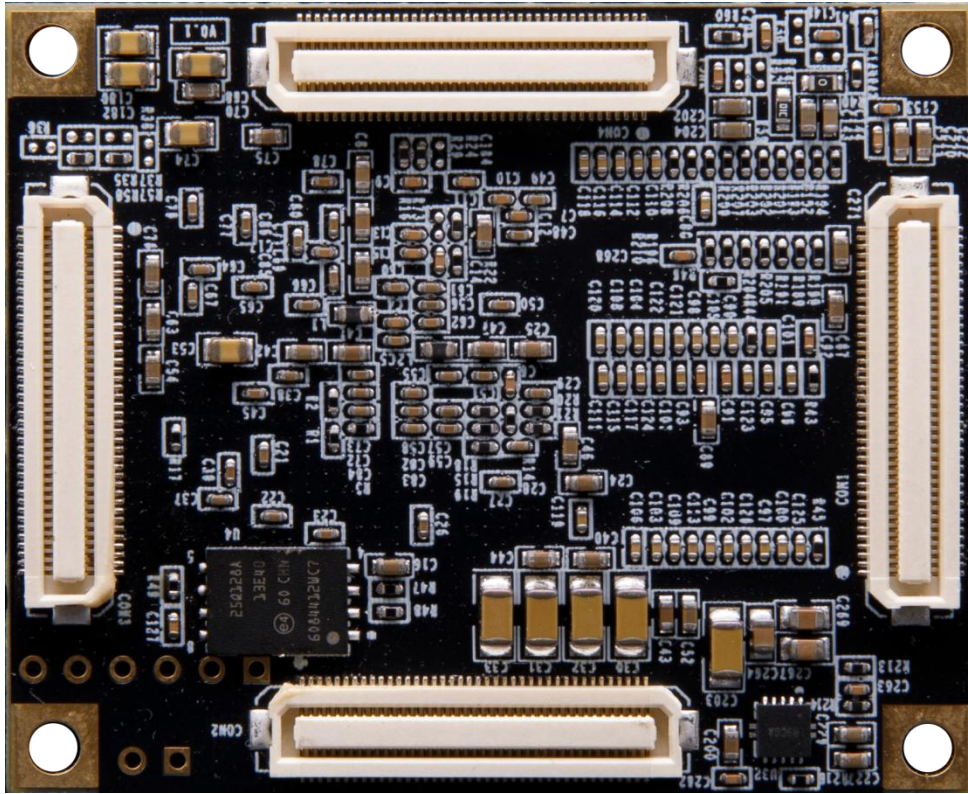
P200(核心板型号, 下同)核心板, 是基于紫光同创公司的 Logos2 系列的 PG2L100H-6IFBB484 这款芯片开发的高性能核心板, 具有高速, 高带宽, 大容量等特点, 适合高速数据通信, 图像处理, 高速数据采集等方面使用。

这款核心板使用了 2 片 A3T4GF40BBF-HPI 这款 DDR3 芯片, 每片 DDR 的容量为 4Gbit; 2 片 DDR 芯片组合成 32bit 的数据总线宽度, FPGA 和 DDR3 之间的读写数据带宽高达 25Gb; 这样的配置可以满足高带宽的数据处理需求。

这款核心板扩展出 180 个默认 3.3V 电平标准普通 IO 口, 其中有 150 个 IO 电压标准可调, 15 个 1.5V 电平标准的普通 IO 口, 还有 4 对 HSST 高速 RX/TX 差分信号。对于需要大量 IO 的用户, 此核心板将是不错的选择。FPGA 芯片到接口之间走线做了等长和差分处理, 并且核心板尺寸仅为 45*55 (mm), 对于二次开发来说, 非常适合。



P200 核心板正面图



P200 核心板背面图

(二) FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 **PG2L200H-6IFBB484**，属于紫光同创公司 Logos2 系列的产品，速度等级为 6，温度等级为工业级。此型号为 FBB484 封装，484 个引脚。紫光同创 Logos2 FPGA 的芯片命名规则如下：

Logos2 系列 FPGA 产品型号的编号内容及意义如图 1 所示。

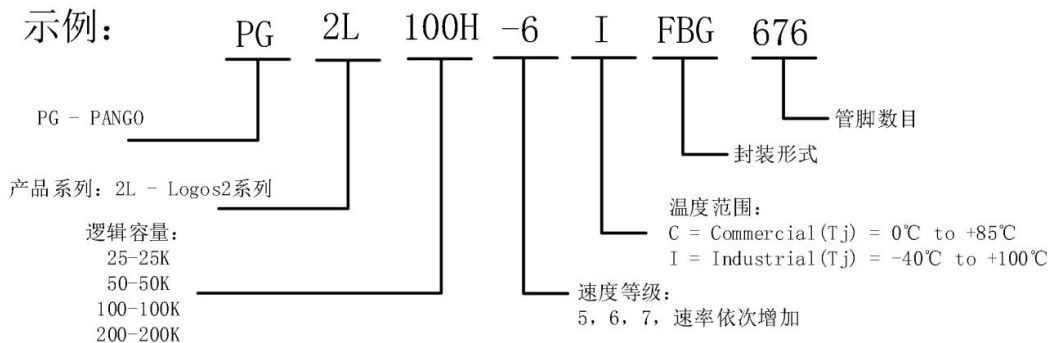


图 1-2-1 为开发板所用的 FPGA 芯片实物图。



图 1-2-1 FPGA 芯片实物

其中 FPGA 芯片 PG2L100H 的主要参数如下所示：

名称	具体参数
触发器(FF)	319600
查找表 LUT4	239700
DRM (36Kbits) 个数	415
APM 单元 (乘法器)	740
PCIe Gen2	1
模数转换/ADC	1 个 12bit, 1Mbps AD
HSSTLP	4 路, 6.6Gb/s max
速度等级	-6
温度等级	工业级

FPGA 供电系统

Logos2 FPGAA 电源有 VCC, VCC_DRM, VCCA, VCCO, VHSSTAVCC 和 VHSSTAVTT。VCC 为 FPGA 内核供电引脚, 需接 1.0V; VCC_DRM, 为 FPGA Block RAM 的供电引脚; 接 1.0V; VCCA 为 FPGA 辅助供电引脚, 接 1.8V; VCCO 为 FPGA 的各个 BANK 的电压, 包含 CFG, BANKL6~L3, BANKR4~R5, 在 ACP200 核心板上, BANKR4, BANKR5 因为需要连接 DDR3, BANK 的电压连接的是 1.5V, 其它 BANK 的电压默认都是 3.3V, 其中 BANKL6、BANKL4 和 BANKL3 的 VCCO 是由 LDO 供电, 可以通过更换 LDO 芯片更改 BANK 的电平。VHSSTAVCC 为 FPGA 内部 HSST 收发器的供电电压, 接 1.0V, VHSSTAVTT 为 HSST 收发器的端接电压, 接 1.2V。

FPGA 系统要求上电顺序分别为先 VCCIN 供电, 再是 VCC_DRM, 然后是 VCCA, 最后为 VCCO。如果 VCC 和 VCC_DRM 的电压一样, 可以同时上电。断电的顺序则相反。HSST 收发器的上电顺序为 VCC, 再是 VHSSTAVCC, 然后是 VHSSTAVTT。如果 VCC 和 VHSSTAVCC 的电压一样, 可以同时上电。断电顺序刚好和上电顺序相反。

(三) 有源晶振

P200 核心板上配有两个有源差分晶振，一个是 200MHz，用于 FPGA 的系统主时钟和用于产生 DDR3 控制时钟；另一个为 125MHz，用于 HSST 收发器的参考时钟输入。

1). 200Mhz 差分时钟

图 3.1 中的 G1 即为我们上述提到的给开发板提供的系统时钟源 200M 有源差分晶振电路。晶振输出连接到 FPGA 的 BANKR4 全局时钟管脚 MRCC(R4 和 T4)，这个 200Mhz 的差分时钟可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLLs 和 DCMs 来产生不同频率的时钟。

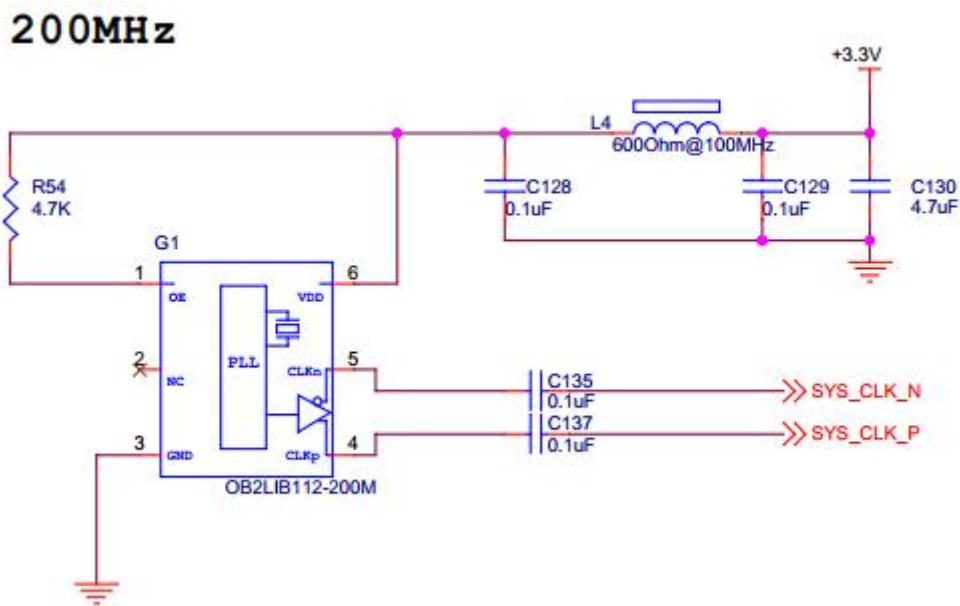


图 1-3-1 200M 有源差分晶振

图 1-3-2 为 200Mhz 差分有源晶振实物图



图 1-3-2 200M 有源差分晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
SYS_CLK_P	R4
SYS_CLK_N	T4

2). 125Mhz 差分时钟

图 1-3-3 中的 G2 即为 125M 有源差分晶振电路，此时钟是给 FPGA 内部的 HSST 模块提供的参考输入时钟。晶振输出连接到 FPGA HSST 的 BANKQR3 时钟管脚 HSSTREFCLK0P (F6)和 HSSTREFCLK0N(E6)。

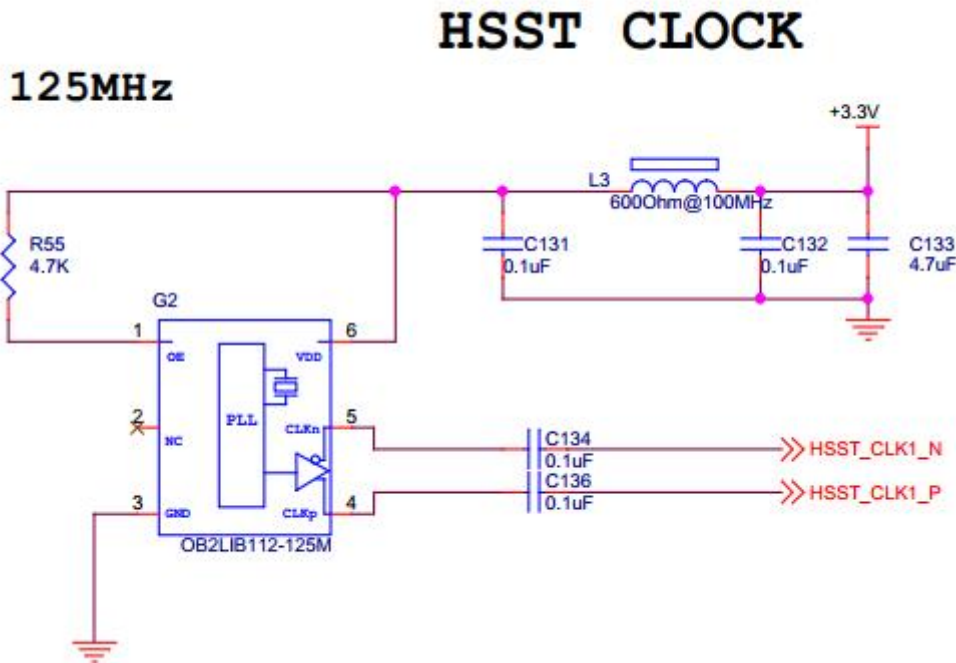


图 1-3-3 125Mhz 有源差分晶振

图 1-3-4 为 125M 差分有源晶振实物图



图 1-3-4 125M 有源晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
HSST_CLK0_P	F6
HSST_CLK0_N	E6

(四) DDR3

P200 核心板上配有两个力积的 4Gbit (512MB) 的 DDR3 芯片(共计 8Gbit),型号为 A3T4GF40BBF-HPI。DDR 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz(数据速率 800Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK R4 和 BANKR5 的存储器接口上。DDR3 SDRAM 的具体配置如下表 1-4-1 所示。

表 1-4-1 DDR3 SDRAM 配置

位号	芯片类型	容量
U5,U6	A3T4GF40BBF-HPI	256M x 16bit

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制, 保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 1-4-1 所示:

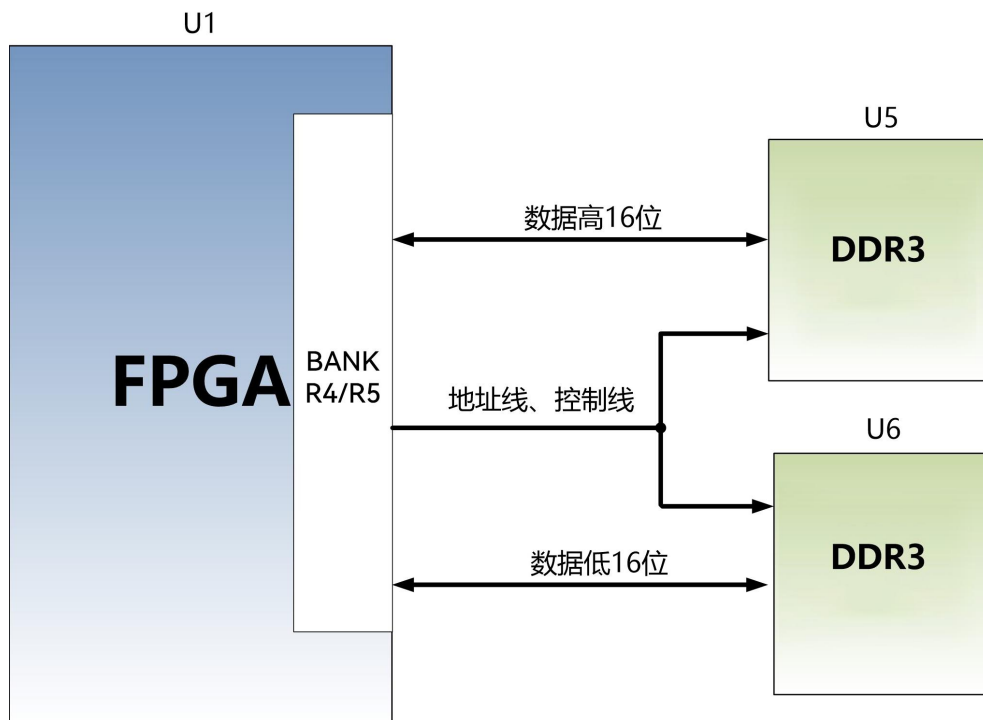


图1-4-1 DDR3 DRAM原理图示意图

图 1-4-2 为 DDR3 DRAM 实物图



图1-4-2 DDR3 DRAM实物图

DDR3 DRAM 引脚分配:

信号名称	FPGA 引脚名
DDR3_DQS3_P	E1

DDR3_DQS3_N	D1
DDR3_DQS2_P	K2
DDR3_DQS2_N	J2
DDR3_DQS1_P	M1
DDR3_DQS1_N	L1
DDR3_DQS0_P	P5
DDR3_DQS0_N	P4
DDR3_DM3	M5
DDR3_DM2	M2
DDR3_DM1	G2
DDR3_DM0	D2
DDR3_D31	P2
DDR3_D30	P6
DDR3_D29	N5
DDR3_D28	M6
DDR3_D27	N2
DDR3_D26	R1
DDR3_D25	N4
DDR3_D24	P1
DDR3_D23	L5
DDR3_D22	J4
DDR3_D21	K6
DDR3_D20	K3
DDR3_D19	J6
DDR3_D18	L3
DDR3_D17	M3
DDR3_D16	L4
DDR3_D15	H4
DDR3_D14	K1
DDR3_D13	J5
DDR3_D12	J1
DDR3_D11	H5

DDR3_D10	H2
DDR3_D9	G3
DDR3_D8	H3
DDR3_D7	E2
DDR3_D6	B1
DDR3_D5	F1
DDR3_D4	B2
DDR3_D3	F3
DDR3_D2	A1
DDR3_D1	G1
DDR3_D0	C2
DDR3_A14	V3
DDR3_A13	U1
DDR3_A12	Y2
DDR3_A11	W2
DDR3_A10	Y1
DDR3_A9	U2
DDR3_A8	V2
DDR3_A7	T1
DDR3_A6	W1
DDR3_A5	U3
DDR3_A4	AB1
DDR3_A3	AB5
DDR3_A2	AA5
DDR3_A1	AB2
DDR3_A0	AA4
DDR3_BA2	Y4
DDR3_BA1	Y3
DDR3_BA0	AA3
DDR3_WE	AA1
DDR3_S0	AB3
DDR3_RESET	W6

DDR3_RAS	V4
DDR3_ODT	U5
DDR3_CLK0_P	R3
DDR3_CLK0_N	R2
DDR3_CKE0	T5
DDR3_CAS	W4

(五) QSPI Flash

核心板上使用了 1 片 128Mbit 大小的 QSPI FLASH 芯片，型号为随机 GD25Q127，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

SPI FLASH 的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U4	GD25Q127	128M Bit	兆易

表1-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 CFG 和 BANKL5 的专用管脚上，其中时钟管脚连接到 CFG 的 CCLK0 上，其它数据和片选信号分别连接到 BANKL5 的 D00~D03 和 FCS 管脚上。图 1-5-1 为 QSPI Flash 在硬件连接示意图。

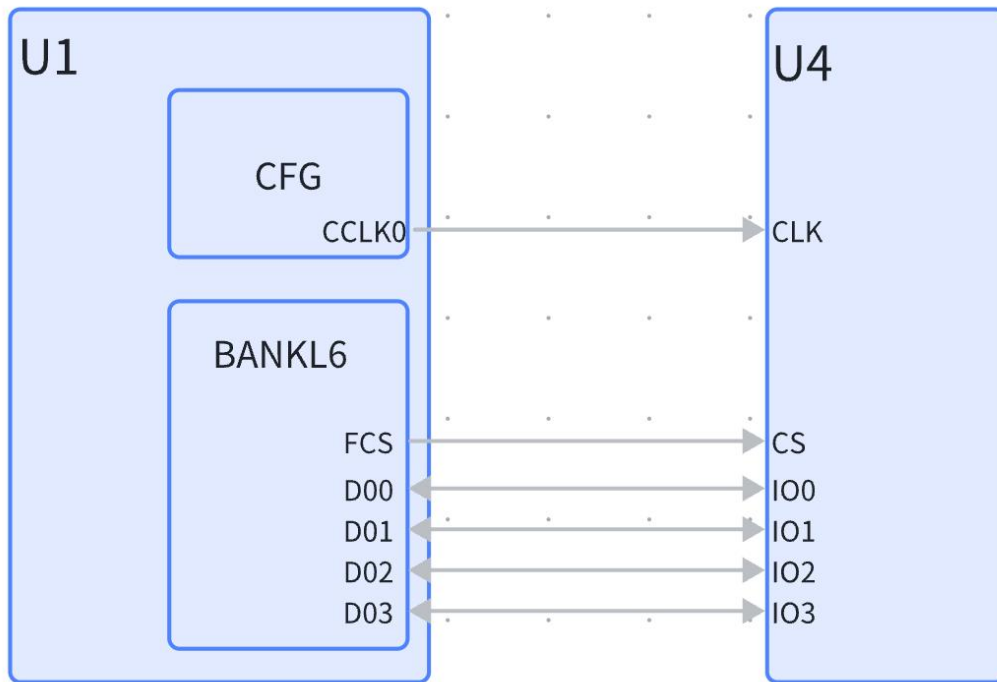


图1-5-1 QSPI Flash连接示意图

配置芯片引脚分配:

信号名称	FPGA 引脚号
QSPI_DQ3	R21
QSPI_DQ2	P21
QSPI_DQ1	R22
QSPI_DQ0	P22
QSPI_CS	T19
QSPI_CLK	L12

图 1-5-2 为开发板上 QSPI Flash 的实物图



图 1-5-2 QSPI FLASH 部分实物图

(六) LED 灯

P200 核心板上有 3 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯 (DONE)，另外一个为用户 LED 灯 (LED1)。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。用户 LED 灯用户连接到 BANKR4 的 IO 上，可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯点亮，当连接 IO 电压为低时，用户 LED 灯会被熄灭。LED 灯硬件连接的示意图如图 1-6-1 所示：

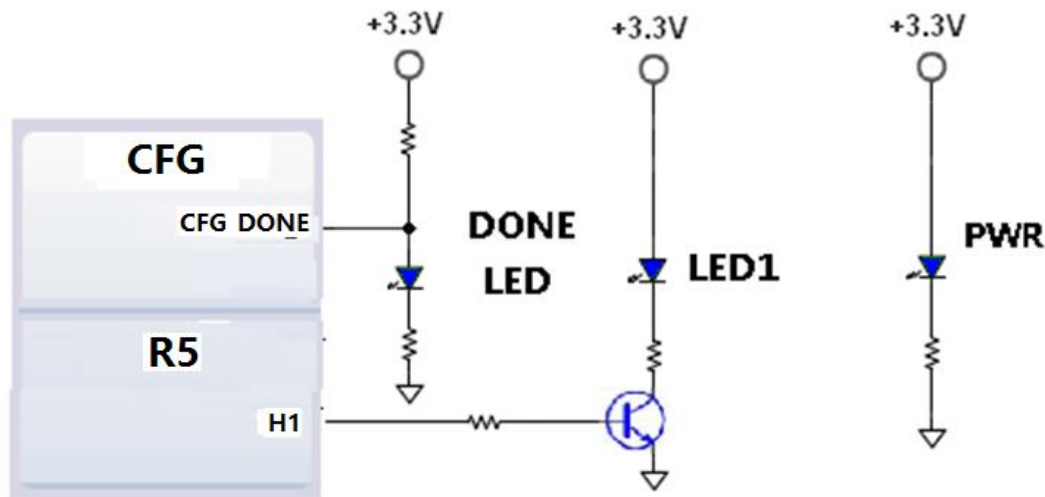


图 1-6-1 核心板 LED 灯硬件连接示意图

图 1-6-2 为核心板上的 LED 灯实物图

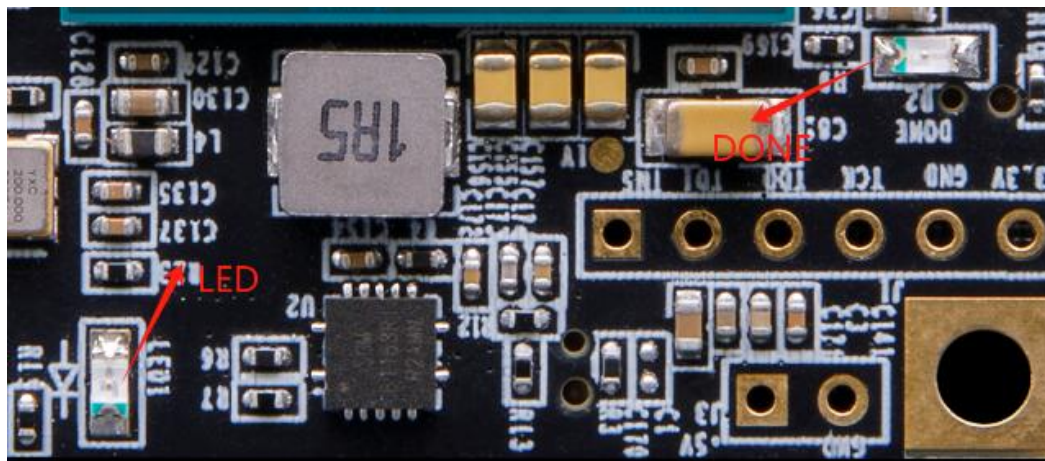


图 1-6-2 核心板的 LED 灯实物图

用户 LED 灯的引脚分配

信号名称	FPGA 管脚号	备注
LED1	W5	用户LED灯

(七) 复位按键

核心板上有一个复位按键 Reset，复位按键连接到 FPGA 芯片的 BANKR4 的普通 IO 上，用户可以使用这个复位按键来初始化 FPGA 的程序。设计中按键按下，输入到 IO 上的信号电压为低，复位信号有效；按键没有按下时，输入到 IO 上信号为高。复位按键连接的示意图如图 1-7-1 所示：

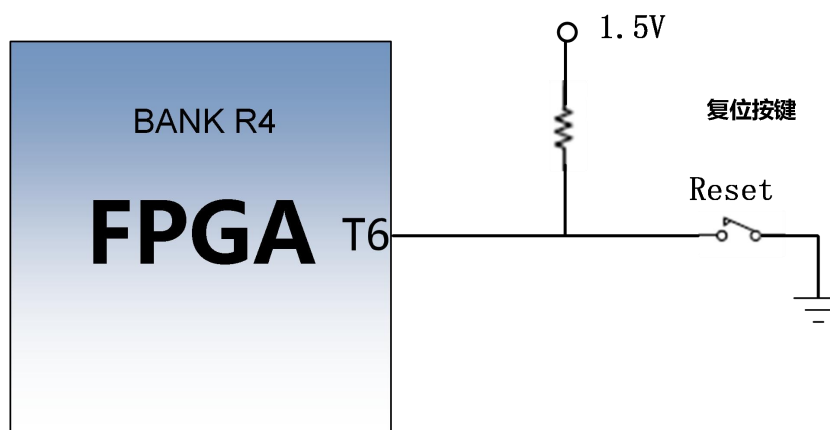


图 1-7-1 复位按键连接示意图

图 1-7-2 为复位按键实物图

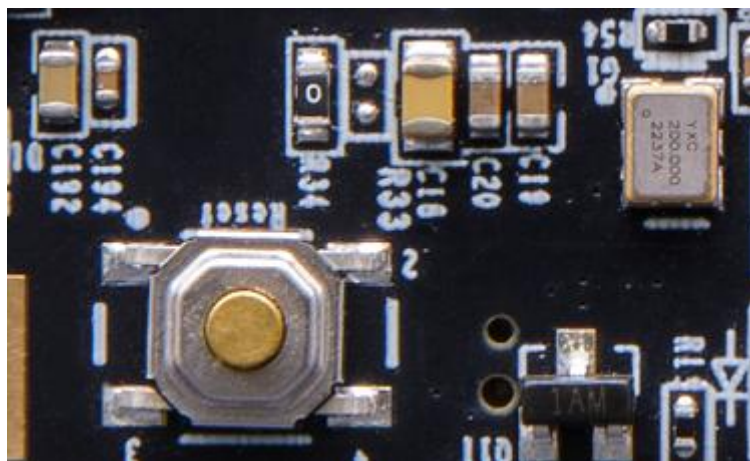


图 1-7-2 复位按键实物图

复位按键的引脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
RESET_N	IO_L17N_T2_34	T6	复位按键Reset

(八) 扩展接口

核心板的背面一共扩展出 4 个高速扩展口，使用 4 个 80Pin 的板间连接器和底板连接，FPGA 的 IO 口通过差分走线方式连接到这 4 个扩展口上。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器配置实现高速数据通信。

扩展口 CON1

80Pin 的连接器 CON1 用来连接底板的 VCCIN 电源(+5V),地和 FPGA 的普通 IO，这里需要注意,CON1 的有 15 个管脚是连接到 BANKR4 的 IO 口,因为 BANKR4 连接是连接到 DDR3 的，所以这个 BANKR4 的所有 IO 的电压标准都是 1.5V 的。CON1 扩展口的管脚分配如表 1-8-1 所示：

表 1-8-1 扩展口 CON1 引脚分配

CON1 管脚	信号名称	FPGA 管脚号	电平标准	CON1 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	VCCIN	-	+5V	PIN2	VCCIN	-	+5V
PIN3	VCCIN	-	+5V	PIN4	VCCIN	-	+5V
PIN5	VCCIN	-	+5V	PIN6	VCCIN	-	+5V
PIN7	VCCIN	-	+5V	PIN8	VCCIN	-	+5V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	NC	-	空脚	PIN12	NC	-	空脚
PIN13	NC	-	空脚	PIN14	NC	-	空脚
PIN15	NC	-	空脚	PIN16	L6_L4_P	AA15	3.3V
PIN17	NC	-	空脚	PIN18	L6_L4_N	ABL4	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L6_L5_P	Y13	3.3V	PIN22	L6_L1_P	Y16	3.3V
PIN23	L6_L5_N	AA14	3.3V	PIN24	L6_L1_N	AA16	3.3V
PIN25	L6_L7_P	AB11	3.3V	PIN26	L6_L2_P	ABL3	3.3V
PIN27	L6_L7_N	AB12	3.3V	PIN28	L6_L2_N	AB17	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L6_L3_P	AA13	3.3V	PIN32	L6_L6_P	W14	3.3V
PIN33	L6_L3_N	ABL6	3.3V	PIN34	L6_L6_N	Y14	3.3V
PIN35	R4_L23_P	Y8	1.5V	PIN36	R4_L20_P	AB7	1.5V

PIN37	R4_L23_N	Y7	1.5V	PIN38	R4_L20_N	AB6	1.5V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	R4_L18_N	AA6	1.5V	PIN42	R4_L21_N	V8	1.5V
PIN43	R4_L18_P	Y6	1.5V	PIN44	R4_L21_P	V9	1.5V
PIN45	R4_L19_P	V7	1.5V	PIN46	R4_L22_P	AA8	1.5V
PIN47	R4_L19_N	W7	1.5V	PIN48	R4_L22_N	AB8	1.5V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	XADC_VN	M9	模拟	PIN52	NC		
PIN53	XADC_VP	L10	模拟	PIN54	R4_L25	U7	1.5V
PIN55	NC	-	空脚	PIN56	R4_L24_P	W9	1.5V
PIN57	NC	-	空脚	PIN58	R4_L24_N	Y9	1.5V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L3_L1_N	F14	3.3V	PIN62	NC	-	空脚
PIN63	L3_L1_P	F13	3.3V	PIN64	NC	-	空脚
PIN65	L3_L4_N	E14	3.3V	PIN66	NC	-	空脚
PIN67	L3_L4_P	E13	3.3V	PIN68	NC	-	空脚
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L3_L6_N	D15	3.3V	PIN72	NC	-	空脚
PIN73	L3_L6_P	D14	3.3V	PIN74	NC	-	空脚
PIN75	L3_L8_P	C13	3.3V	PIN76	NC	-	空脚
PIN77	L3_L8_N	BL6	3.3V	PIN78	NC	-	空脚
PIN79	NC	-	空脚	PIN80	NC	-	空脚

扩展口 CON2

80Pin 的连接器 CON2 用来扩展 FPGA 的 BANKL6 和 BANKL5 的普通 IO, 这两个 BANK 的电压标准都是 3.3V 的。CON2 扩展口的管脚分配如表 1-8-2 所示:

表 1-8-2 扩展口 CON2 引脚分配

CON2 管脚	信号 名称	FPGA 管脚号	电平 标准	CON2 管脚	信号 名称	FPGA 管脚号	电平标准
PIN1	L6_L16_P	W15	3.3V	PIN2	L5_L16_P	V17	3.3V
PIN3	L6_L16_N	W16	3.3V	PIN4	L5_L16_N	W17	3.3V

PIN5	L6_L15_P	T14	3.3V	PIN6	L6_L14_P	U15	3.3V
PIN7	L6_L15_N	T15	3.3V	PIN8	L6_L14_N	V15	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	L6_L13_P	V13	3.3V	PIN12	L5_L10_P	AB21	3.3V
PIN13	L6_L13_N	V14	3.3V	PIN14	L5_L10_N	AB22	3.3V
PIN15	L6_L12_P	W11	3.3V	PIN16	L5_L8_N	AA21	3.3V
PIN17	L6_L12_N	W12	3.3V	PIN18	L5_L8_P	AA20	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L6_L11_P	Y11	3.3V	PIN22	L5_L15_N	AB20	3.3V
PIN23	L6_L11_N	Y12	3.3V	PIN24	L5_L15_P	AA19	3.3V
PIN25	L6_L10_P	V10	3.3V	PIN26	L5_L17_P	AA18	3.3V
PIN27	L6_L10_N	W10	3.3V	PIN28	L5_L17_N	AB18	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L6_L9_N	AA11	3.3V	PIN32	L5_L6_N	T20	3.3V
PIN33	L6_L9_P	AA10	3.3V	PIN34	L6_IO0	Y17	3.3V
PIN35	L6_L8_N	AB10	3.3V	PIN36	L5_L7_N	W22	3.3V
PIN37	L6_L8_P	AA9	3.3V	PIN38	L5_L7_P	W21	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	L5_L11_N	V20	3.3V	PIN42	L5_L4_P	T21	3.3V
PIN43	L5_L11_P	U20	3.3V	PIN44	L5_L4_N	U21	3.3V
PIN45	L5_L14_N	V19	3.3V	PIN46	L5_L9_P	Y21	3.3V
PIN47	L5_L14_P	V18	3.3V	PIN48	L5_L9_N	Y22	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	L5_L5_N	R19	3.3V	PIN52	L5_L12_N	W20	3.3V
PIN53	L5_L5_P	P19	3.3V	PIN54	L5_L12_P	W19	3.3V
PIN55	L5_L18_N	U18	3.3V	PIN56	L5_L13_N	Y19	3.3V
PIN57	L5_L18_P	U17	3.3V	PIN58	L5_L13_P	Y18	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L6_L17_P	T16	3.3V	PIN62	L5_L3_N	V22	3.3V
PIN63	L6_L17_N	U16	3.3V	PIN64	L5_L3_P	U22	3.3V
PIN65	L5_L21_N	P17	3.3V	PIN66	L5_L20_N	T18	3.3V
PIN67	L5_L21_P	N17	3.3V	PIN68	L5_L20_P	R18	3.3V

PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L5_L22_P	P15	3.3V	PIN72	L5_L19_N	R14	3.3V
PIN73	L5_L22_N	R16	3.3V	PIN74	L5_L19_P	P14	3.3V
PIN75	L5_L24_N	R17	3.3V	PIN76	L5_L23_P	N13	3.3V
PIN77	L5_L24_P	P16	3.3V	PIN78	L5_L23_N	N14	3.3V
PIN79	L5_IO0	P20	3.3V	PIN80	L5_IO25	N15	3.3V

扩展口 CON3

80Pin 的连接器 CON3 用来扩展 FPGA 的 BANKL4 和 BANKL3 的普通 IO，另外还有 4 个 JTAG 的信号也通过 CON3 连接器连接到底板上。BANKL4 和 BANKL3 的电压标准都是可以通过一个 LDO 芯片来调整，默认安装的 LDO 是 3.3V 的，如果用户想输出其它标准的电平，可以更换合适的 LDO 来实现。CON3 扩展口的管脚分配如表 1-8-3 所示：

表 1-8-3 扩展口 CON3 引脚分配

CON3 管脚	信号名称	FPGA 管脚号	电平标准	CON3 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	L4_IO0	J16	3.3V	PIN2	L4_IO25	M17	3.3V
PIN3	L3_IO0	F15	3.3V	PIN4	L3_IO25	F21	3.3V
PIN5	L4_L4_P	G17	3.3V	PIN6	L3_L21_N	A21	3.3V
PIN7	L4_L4_N	G18	3.3V	PIN8	L3_L21_P	B21	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	L4_L2_P	G15	3.3V	PIN12	L3_L23_P	E21	3.3V
PIN13	L4_L2_N	G16	3.3V	PIN14	L3_L23_N	D21	3.3V
PIN15	L4_L12_P	J19	3.3V	PIN16	L3_L22_P	E22	3.3V
PIN17	L4_L12_N	H19	3.3V	PIN18	L3_L22_N	D22	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L4_L11_P	J20	3.3V	PIN22	L3_L24_P	G21	3.3V
PIN23	L4_L11_N	J21	3.3V	PIN24	L3_L24_N	G22	3.3V
PIN25	L4_L1_N	G13	3.3V	PIN26	L4_L8_N	G20	3.3V
PIN27	L4_L1_P	H13	3.3V	PIN28	L4_L8_P	H20	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L4_L5_P	J15	3.3V	PIN32	L4_L7_N	H22	3.3V

PIN33	L4_L5_N	H15	3.3V	PIN34	L4_L7_P	J22	3.3V
PIN35	L4_L3_N	H14	3.3V	PIN36	L4_L9_P	K21	3.3V
PIN37	L4_L3_P	J14	3.3V	PIN38	L4_L9_N	K22	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	L4_L19_P	K13	3.3V	PIN42	L4_L15_N	M22	3.3V
PIN43	L4_L19_N	K14	3.3V	PIN44	L4_L15_P	N22	3.3V
PIN45	L4_L20_P	M13	3.3V	PIN46	L4_L6_N	H18	3.3V
PIN47	L4_L20_N	L13	3.3V	PIN48	L4_L6_P	H17	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	L4_L14_P	L19	3.3V	PIN52	L4_L13_N	K19	3.3V
PIN53	L4_L14_N	L20	3.3V	PIN54	L4_L13_P	K18	3.3V
PIN55	L4_L21_P	K17	3.3V	PIN56	L4_L10_P	M21	3.3V
PIN57	L4_L21_N	J17	3.3V	PIN58	L4_L10_N	L21	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L4_L23_P	L16	3.3V	PIN62	L4_L18_P	N20	3.3V
PIN63	L4_L23_N	K16	3.3V	PIN64	L4_L18_N	M20	3.3V
PIN65	L4_L22_P	L14	3.3V	PIN66	L4_L17_N	N19	3.3V
PIN67	L4_L22_N	L15	3.3V	PIN68	L4_L17_P	N18	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L4_L24_P	M15	3.3V	PIN72	L4_L16_P	M18	3.3V
PIN73	L4_L24_N	M16	3.3V	PIN74	L4_L16_N	L18	3.3V
PIN75	NC	-		PIN76	NC	-	
PIN77	FPGA_TCK	V12	3.3V	PIN78	FPGA_TDI	R13	3.3V
PIN79	FPGA_TDO	U13	3.3V	PIN80	FPGA_TMS	T13	3.3V

扩展口 CON4

80Pin 的连接器 CON4 用来扩展 FPGA 的 BANKL3 的普通 IO 和 HSST 的高速数据和时钟信号。BANKL3 的 IO 口的电压标准可以通过一个 LDO 芯片来调整, 默认安装的 LDO 是 3.3V 的, 如果用户想输出其它标准的电平, 可以更换合适的 LDO 来实现。HSST 的高速数据和时钟信号在核心板上严格差分走线, 数据线等长及保持一定的间隔, 防止信号干扰。CON4 扩展口的管脚分配如表 2-10-4 所示:

表 1-8-4 扩展口 CON4 引脚分配

CON4 管脚	信号 名称	FPGA 管脚号	电平 标准	CON4 管脚	信号 名称	FPGA 管脚号	电平 标准
PIN1	NC		空脚	NC		空脚	NC
PIN3	NC		空脚	NC		空脚	NC
PIN5	NC		空脚	NC		空脚	NC
PIN7	NC		空脚	NC		空脚	NC
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	NC		空脚	PIN12	HSST_TX2_P	B6	差分
PIN13	NC		空脚	PIN14	HSST_TX2_N	A6	差分
PIN15	GND	-	地	PIN16	GND	-	地
PIN17	HSST_TX3_P	D7	差分	PIN18	HSST_RX2_P	B10	差分
PIN19	HSST_TX3_N	C7	差分	PIN20	HSST_RX2_N	A10	差分
PIN21	GND	-	地	PIN22	GND	-	地
PIN23	HSST_RX3_P	D9	差分	PIN24	HSST_TX0_P	B4	差分
PIN25	HSST_RX3_N	C9	差分	PIN26	HSST_TX0_N	A4	差分
PIN27	GND	-	地	PIN28	GND	-	地
PIN29	HSST_TX1_P	D5	差分	PIN30	HSST_RX0_P	B8	差分
PIN31	HSST_TX1_N	C5	差分	PIN32	HSST_RX0_N	A8	差分
PIN33	GND	-	地	PIN34	GND	-	地
PIN35	HSST_RX1_P	D11	差分	PIN36	HSST_CLK1_P	F10	差分
PIN37	HSST_RX1_N	C11	差分	PIN38	HSST_CLK1_N	E10	差分
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	L3_L5_P	E16	3.3V	PIN42	L3_L2_P	F16	3.3V
PIN43	L3_L5_N	D16	3.3V	PIN44	L3_L2_N	E17	3.3V
PIN45	L3_L7_P	BL4	3.3V	PIN46	L3_L3_P	C14	3.3V
PIN47	L3_L7_N	BL3	3.3V	PIN48	L3_L3_N	C15	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	L3_L9_P	A15	3.3V	PIN52	L3_L10_P	A13	3.3V
PIN53	L3_L9_N	A16	3.3V	PIN54	L3_L10_N	A14	3.3V
PIN55	L3_L11_P	B17	3.3V	PIN56	L3_L12_P	D17	3.3V

PIN57	L3_L11_N	B18	3.3V	PIN58	L3_L12_N	C17	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L3_L13_P	C18	3.3V	PIN62	L3_L14_P	E19	3.3V
PIN63	L3_L13_N	C19	3.3V	PIN64	L3_L14_N	D19	3.3V
PIN65	L3_L15_P	F18	3.3V	PIN66	L3_L16_P	B20	3.3V
PIN67	L3_L15_N	E18	3.3V	PIN68	L3_L16_N	A20	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L3_L17_P	A18	3.3V	PIN72	L3_L18_P	F19	3.3V
PIN73	L3_L17_N	A19	3.3V	PIN74	L3_L18_N	F20	3.3V
PIN75	L3_L19_P	D20	3.3V	PIN76	L3_L20_P	C22	3.3V
PIN77	L3_L19_N	C20	3.3V	PIN78	L3_L20_N	B22	3.3V
PIN79	NC	-		PIN80	NC	-	

(九) 电源

P200 核心板供电电压为 DC5V, 单独使用时通过 J3 接口供电, 连接底板时通过底板供电, 请注意不要 J3 和底板同时供电, 以免造成损坏。板上的电源设计示意图如下图 1-9-1 所示:

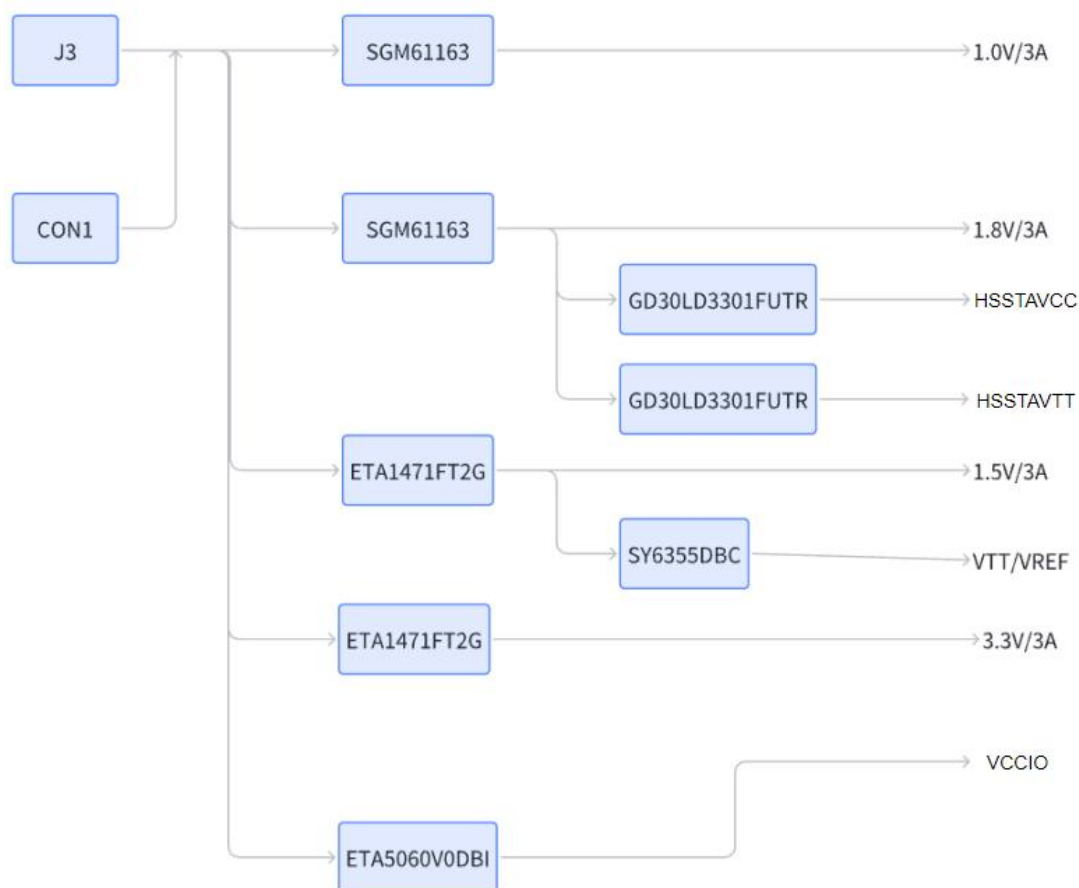


图 1-9-1 原理图中电源接口部分

核心板通过+5V 供电, 通过两路 DC/DC 电源芯片 SGM61163 转化成+1.8V, +1.0V 两路电源, 通过两路 DC/DC 电源芯片 ETA1471FT2G 转化成+3.3V, +1.5V 两路电源, 每路输出电流可高达 3A。通过一路 DC/DC ETA5060V0DBI 产生 VCCIO 电源, VCCIO 主要是对 FPGA 的 BANKL4, BANKL3 进行供电, 用户可以通过更换其它的 LDO 芯片, 使得 BANKL4, L3 的 IO 适应不同的电压标准。1.5V 通过 SY6355DBC 生成 DDR3 需要的 VTT 和 VREF 电压。1.8V 通过 GD30LD3301FUTR 芯片产生高速收发器的电源 HSSTAVTT 和 HSSTAVCC。各个电源分配的功能如下表所示:

电源	功能
+3.3V	FPGA CFG,BankL6,BankL5 的 VCCIO, QSIP FLASH, Clock 晶振
+1.8V	FPGA 辅助电压
+1.0V	FPGA 的核心电压
+1.5V	DDR3, FPGA BankR4 和 BankR5
VREF, VTT (+0.75V)	DDR3
VCCIO(+3.3V)	FPGA BankL4, BankL3

HSSTAVTT (+1.2V)	FPGA HSSTLP 收发器 Q3
HSSTAVCC(+1.0V)	FPGA HSSTLP 收发器 Q3

P200 核心板的电源电路在板上的分别实物图所下图 1-9-2 所示。

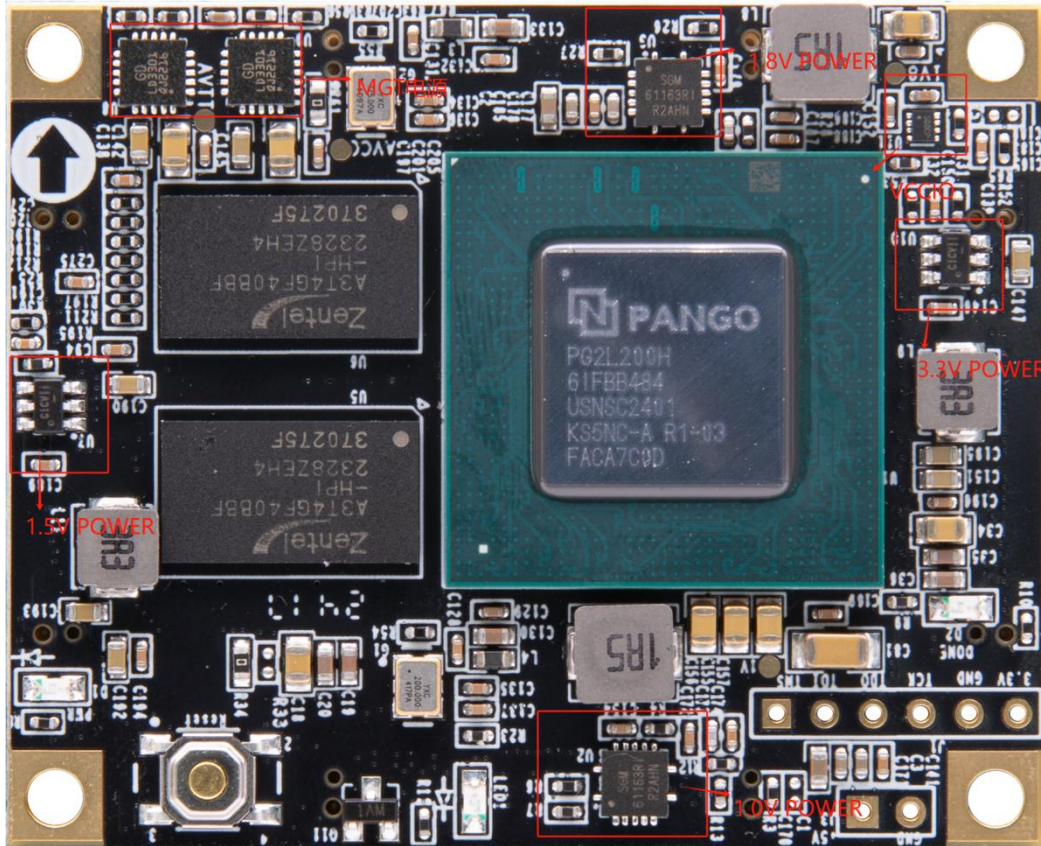
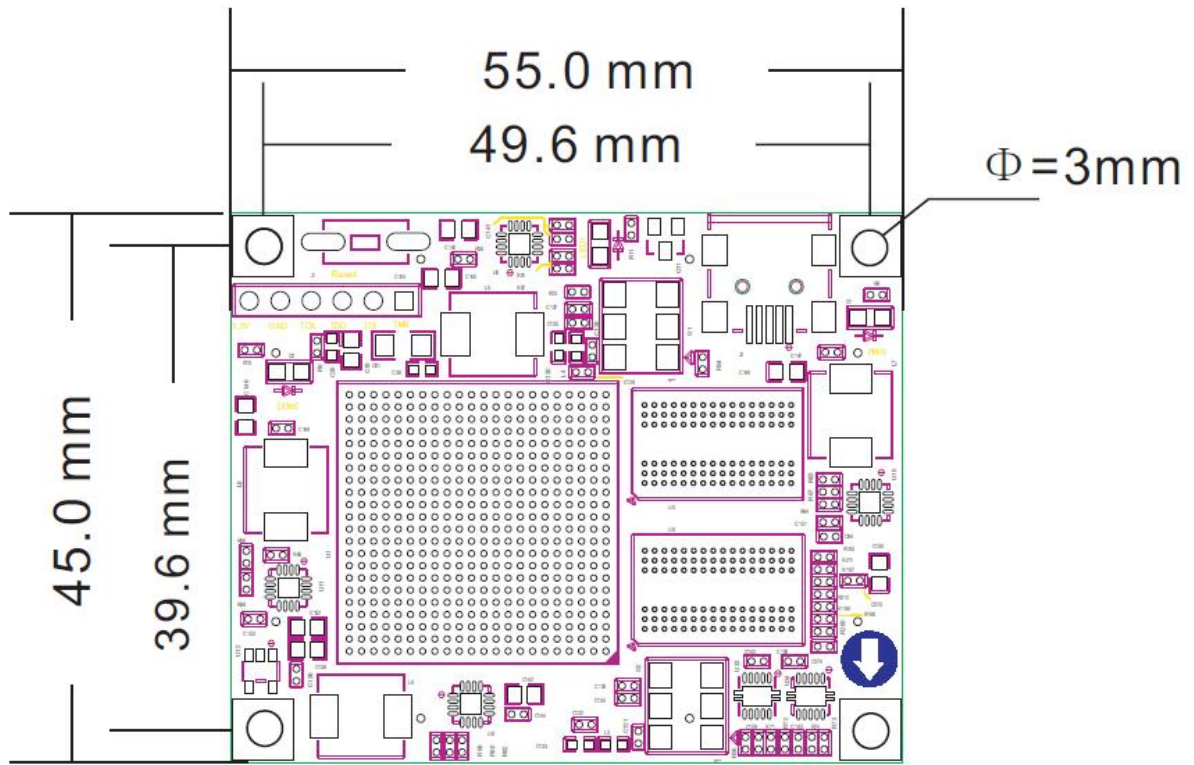
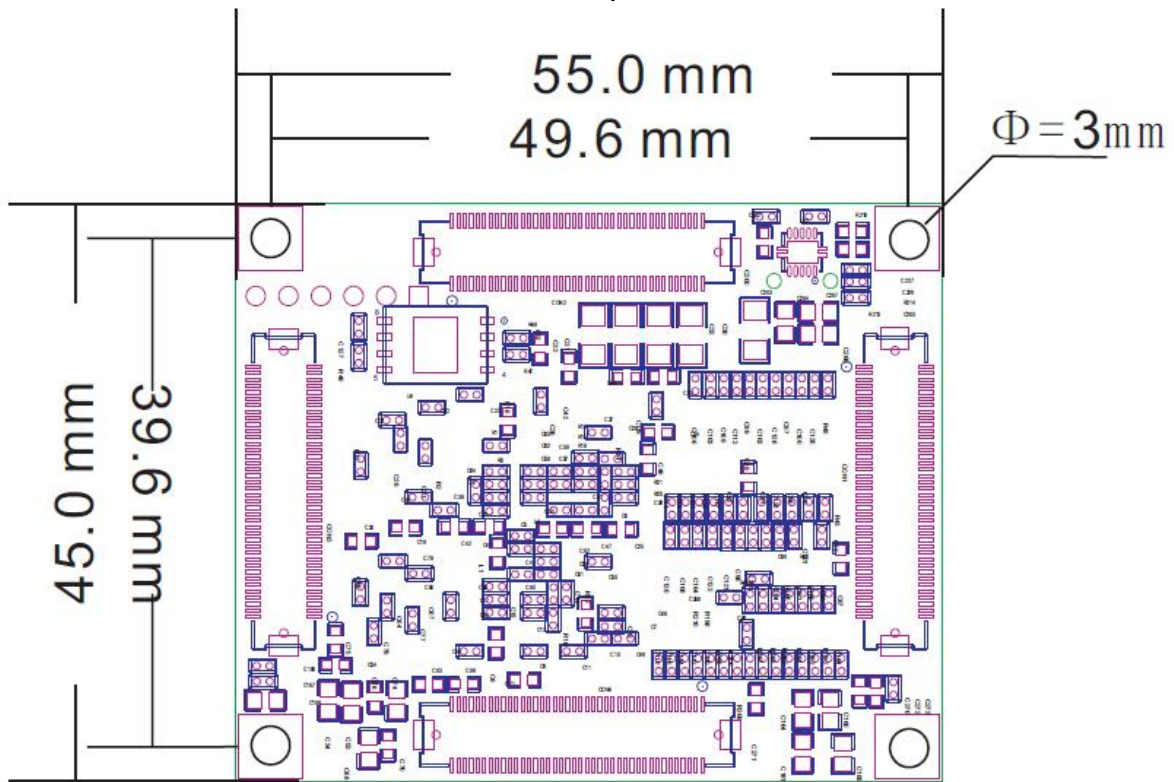


图 1-9-2 核心板电源部分实物图

(十) 结构图



正面图 (Top View)



背面图 (Bottom View)