

Xilinx FPGA 开发平台 用户手册

AXVU13F 开发板



文档版本控制

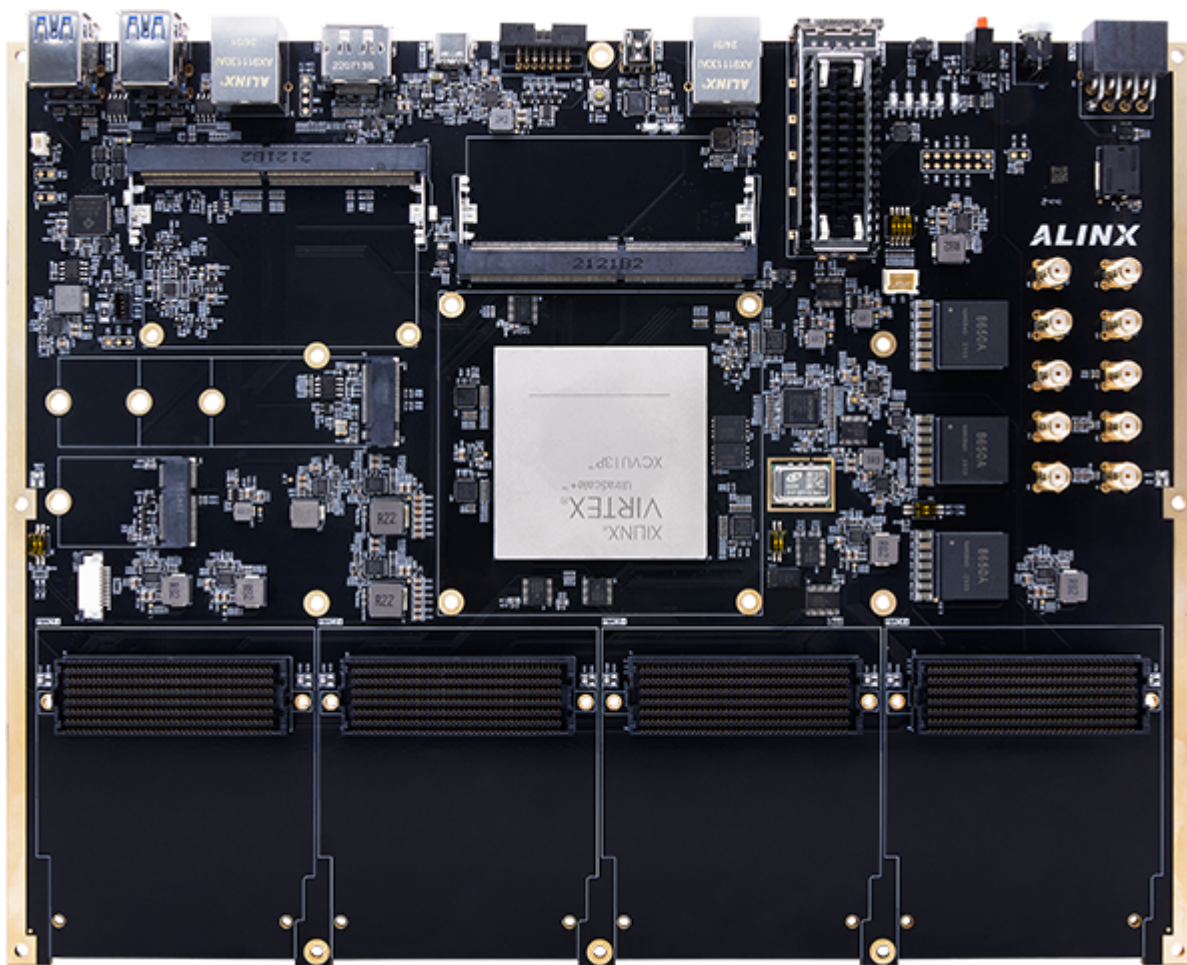
文档版本	修改内容记录
REV1.0	创建文档

目 录

文档版本控制.....	2
一、 开发平台简介.....	5
二、 FPGA 系统.....	8
(一) FPGA 芯片.....	8
(二) DDR4 DRAM.....	9
(三) QSPI Flash.....	14
(四) 时钟配置.....	15
(五) PCIe 互连接口.....	16
(六) FMC+接口.....	17
(七) USB 转串口.....	45
(八) 千兆网接口.....	46
(九) 光纤接口.....	48
(十) IO 扩展口.....	49
(十一) SMA 接口.....	50
(十二) 按键和 LED 灯.....	50
(十三) JTAG 调试口.....	51
(十四) 电源.....	52
(十五) 结构尺寸图.....	55
三、 ORIN 系统.....	56
(一) NVIDIA ORIN 模块.....	56
(二) M.2 SSD 接口.....	57
(三) M.2 WIFI/BT 接口.....	58
(四) DP 显示接口.....	59
(五) USB3.0 接口.....	60
(六) 千兆以太网接口.....	61
(七) EEPROM.....	62
(八) 电源供电.....	62
(九) 电源按键.....	64

芯驿电子科技（上海）有限公司 基于 Xilinx FPGA Virtex Ultrascale+以及集成 NVIDIA ORIN 模块的开发平台（型号：AXVU13F）正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

开发平台使用 Xilinx FPGA Virtex Ultrascale+芯片结合 Jetson Orin NX 8GB 的 GPU 模块的解决方案。FPGA 芯片使用 XCVU13PFHGB2104，挂载了一个支持高达 32GB 的 SODIMM 内存条接口和配备 2Gb 的 QSPI FLASH 芯片。此外，在开发板的设计上扩展了丰富的外围接口，比如在 FPGA 端 4 个 FMC+接口、1 路 QSFP28 100G 光纤接口、6 路 SMA 接口、1 路千兆以太网接口、1 路 UART 接口，6 路 IO 扩展接口；在 NVIDIA ORIN 端有 1 路千兆以太网接口、1 路 USB3.0 Type-C 接口、4 个 USB3.0 接口，1 路 M.2 SSD 接口、1 路 M.2 WIFI/BT 接口等等。满足用户各种高速数据交换，数据存储，视频传输处理，深度学习，人工智能以及工业控制的要求，是一款“专业级”开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 与 GPU 开发的学生、工程师等群体。



AXVU13F 开发验证平台

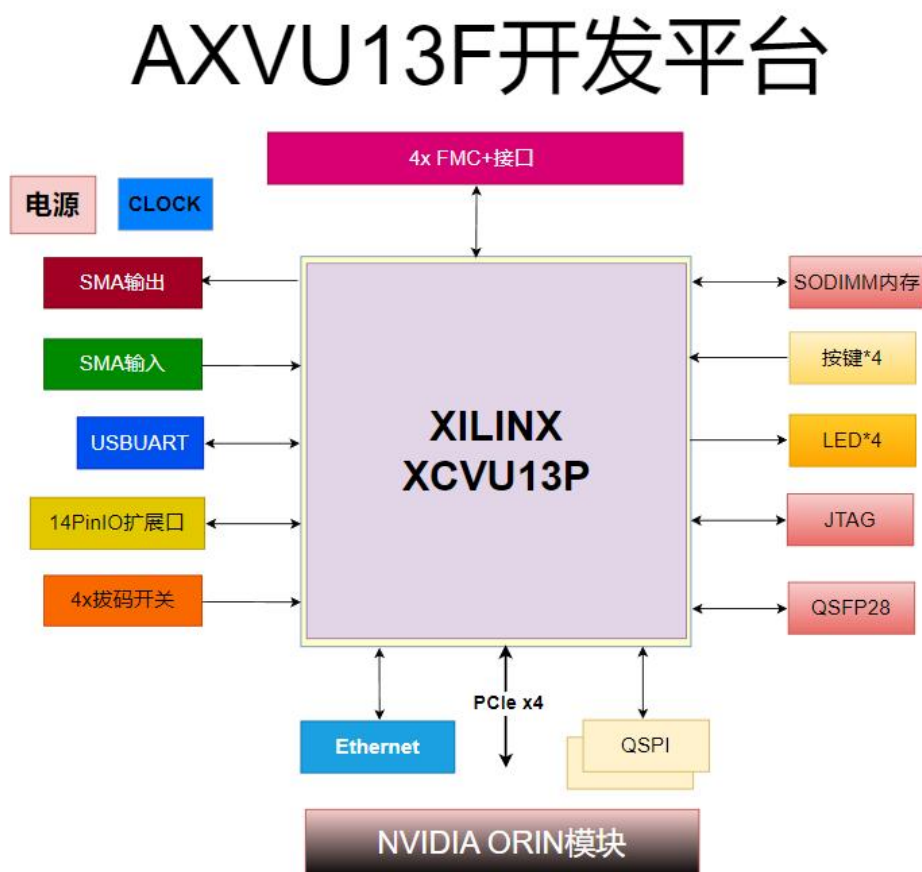
一、 开发平台简介

在这里，对这款 Virtex Ultrascale+ AXVU13F 开发平台进行简单的功能介绍。

AXVU13F 主要由 FPGA 系统 + NVIDIA ORIN 模块组成，它们之间用 PCIE 2.0 x4 连接。FPGA 端采用 Xilinx 的 Virtex Ultrascale+系列的芯片，型号为 XCVU13P-2FHGB2104I；支持 72 位的数据位宽容量高达 32GB 字节 SODIMM 接口；同时配有 2 个 1Gb 的 QSPI FLASH 用来静态存储 FPGA 芯片的配置文件或者其它用户数据。NVIDIA ORIN 模块端配有多种接口，可用于 AI 算法及高算力场合。

开发平台接口主要有 4 个 FMC+接口、1 路 QSFP28 100G 光纤接口、6 路 SMA 接口、2 路千兆以太网接口、1 路 UART 接口，6 路 IO 扩展接口、1 路 USB3.0 Type-C 接口、4 个 USB3.0 接口，1 路 M.2 SSD 接口、1 路 M.2 WIFI/BT 接口等等。

下图为整个开发系统的结构示意图：



由上图可知所系统含有的接口和功能：

FPGA 端接口

- FPGA 系统

由 XCVU13P-2FHGB2104I+SODIMM 接口+ QSPI FLASH 的构成，另外板载了高精度恒温的晶振和可编程时钟源，为 FPGA 逻辑、SODIMM 控制器和高速收发器提供参考时钟。

- DDR4 接口

板载一个 260 脚的 DDR4 SODIMM 内存条插槽，数据位宽 72 位，支持容量高达 32GB。

- FPGA 与 NVIDIA ORINPCIe 互连接口

支持 PCI Express 3.0x4 标准接口，单通道通信速率可高达 8GBaud。

- 4 路 FMC+接口

FPGA 中的 68 高速收发器连接到 4 个 FMC + 专的高速管脚上，其中 FMC1+连接器接口引出 34 对 LA 信号差分对、2 对时钟信号、24 对 HA 信号和 20 对高速收发器；FMC2+连接器接口引出 34 对 LA 信号差分对和 2 对时钟信号、24 对 HA 信号和 16 对高速收发器；FMC3+连接器接口引出 34 对 LA 信号差分对和 2 对时钟信号和 16 对高速收发器；FMC4+连接器接口引出 34 对 LA 信号差分对和 2 对时钟信号和 16 对高速收发器。可满足高速信号传输要求，符合 FMC+标准，可以各种 FMC+和 FMC 模块。

- 千兆以太网接口

1 路 10/100M/1000M 以太网 RJ45 接口，以太网接口用于和电脑或其它网络设备进行以太网数据交换。

- QSFP28 100G 光纤接口

提供 1 个独立的发送和接收通道，每路 LANE 支持 25Gbps 的运行，总体数据速率为 100Gbps。

- SMA 输入输出接口

2 路 SMA 差分输入输出接口分别连接到 FPGA 的 HPIO 管脚上，可用于客户差分信号的输入与输出验证。

- 4 位拨码开关

方便客户简单的输入验证。

- USB Uart 接口

1 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口。

- 扩展口

板载一个 14 PIN 的 2.54 间距扩展接口，引出 FPGA 的 6 个 HPIO 管脚，方便客户进行测试。

- JTAG 调试口

1 个 14 针 2.00mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试，用户可以通过 XILINX

下载器对 FPGA 系统进行调试和下载。

- LED 灯

8 个发光二极管 LED, 1 个 DONE 配置指示灯, 有 1 个电源指示灯, 4 个用户指示灯和 2 个串口指示灯。

- 按键

1 个用户按键。

NVIDIA ORIN 模块接口

- DP 输出接口

1 路标准的 Display Port 输出显示接口, 用于视频图像的显示。最高支持 4K@30Hz 或者 1080P@60Hz 输出, 通过 PCIe 连接到 NVIDIA ORIN 模块。

- USB3.0 接口

4 路 USB3.0 HOST 接口, USB 接口类型为 TYPE A, 用于连接外部的 USB 外设, 比如连接鼠标, 键盘, U 盘等外设; 有 1 个 USB3.0 TYPE C 接口, 支持 HOST、SLAVE、OTG 工作模式, 数据传输速度高达 5.0Gb/s。USB3.0 TYPE C 接口连接到 NVIDIA ORIN 模块。

- M.2 接口

1 路 M.2 KEY-M 接口, 用于连接 SSD NVME 固态硬盘, 单路通信速度高达 5Gbps, 接口通过 PCIe x2 连接到 NVIDIA ORIN 模块; 1 路 M.2 KEY-E 接口, 用于连接 WIFI/BT 模块, 单路通信速度高达 5Gbps, 接口通过 PCIe x1 连接到 NVIDIA ORIN 模块。

- 千兆以太网接口

1 路 10/100M/1000M 以太网 RJ45 接口, 用于和电脑或其它网络设备进行以太网数据交换。

二、FPGA 系统

(一) FPGA 芯片

前面已经介绍过了，我们所使用的 FPGA 型号为 XCVU13P-2FHGB2104I，属于 Xilinx 公司 Virtex UltraScale+ 系列的产品，速度等级为 2，温度等级为工业级。此型号为 FHGB2104 封装，2104 个引脚。Xilinx Virtex UltraScale+ FPGA 的芯片命名规则如下：

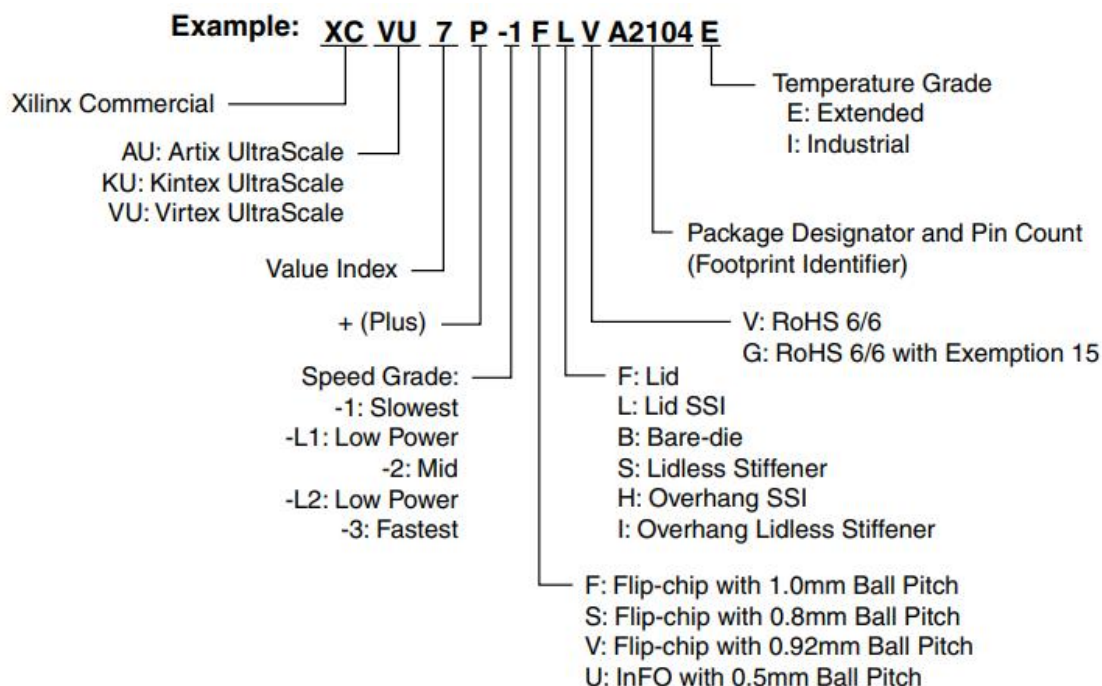


图 2-1-1 命名规则

其中 FPGA 芯片的主要参数如下所示：

名称	具体参数
Logic Cells	3780K
触发器(FF)	3456K
LUTs	1728K
Total Block RAM	94.5Mb
UltraRAM	360Mb
DSP Slices	12,288
CMTs	16
GTY/Gb/s	76/28.21Gb
PCIe Gen3 x16	4
速度等级	-2
温度等级	工业级

(二) DDR4 DRAM

AXVU13F开发板上配有支持DDR4的SODIMM的内存条接口，支持8GB，16GB，32GB等多种容量的内存条，建议选用我们已测试的型号。支持位宽高达72位数据总线。在FPGA端的最高运行数据速率2666Mbps，SODIMM接口连接到了BANK 61、62、63的存储器接口上。DDR4 SDRAM的具体配置如下表2-2-1所示。

表 2-2-1 DDR4 SDRAM 配置

位号	芯片型号	容量	厂家
J3	SODIMM	(8/16/32)GB	--

DDR4 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR4 的高速稳定的工作。

FPGA 端的 DDR4DRAM 的硬件连接方式如图 2-2-1 所示:

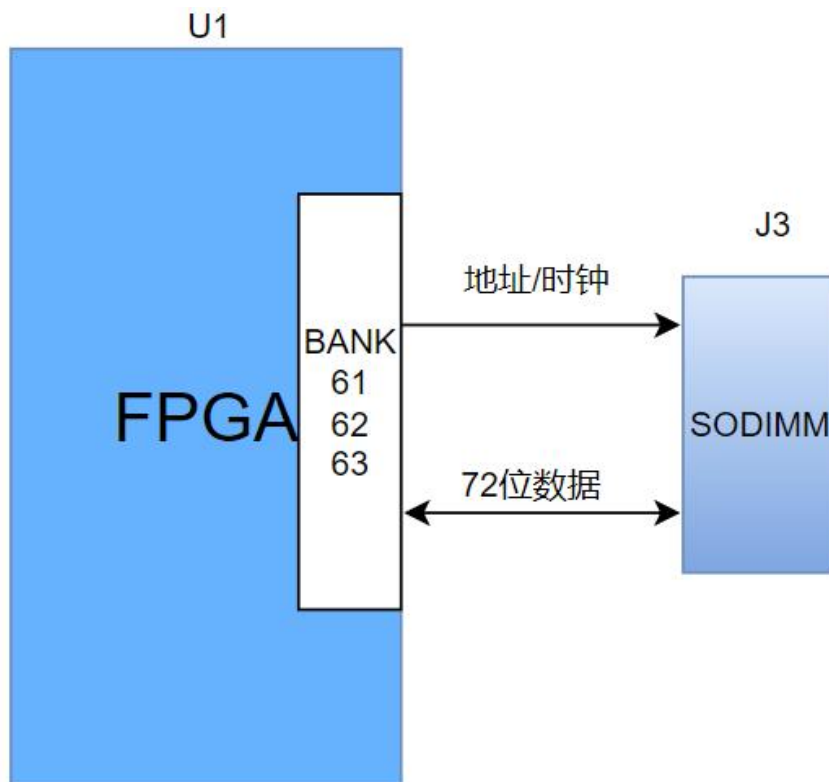


图2-2-1 DDR4 DRAM原理图部分

图 2-2-2 为开发板的 SODIMM 接口实物



图 2-2-2 4 片 SODIMM 接口

SODIMM 接口 FPGA 引脚分配:

信号名称	引脚号
PL_DDR4_DQ0	AW34
PL_DDR4_DQ1	AW33
PL_DDR4_DQ2	AY36
PL_DDR4_DQ3	BA33
PL_DDR4_DQ4	AV33
PL_DDR4_DQ5	AY33
PL_DDR4_DQ6	AY35
PL_DDR4_DQ7	AV34
PL_DDR4_DQ8	AL32
PL_DDR4_DQ9	AM34
PL_DDR4_DQ10	AP33
PL_DDR4_DQ11	AM32
PL_DDR4_DQ12	AL34
PL_DDR4_DQ13	AN34
PL_DDR4_DQ14	AP34
PL_DDR4_DQ15	AR33
PL_DDR4_DQ16	BD39
PL_DDR4_DQ17	BE38
PL_DDR4_DQ18	BB38
PL_DDR4_DQ19	BF38
PL_DDR4_DQ20	BF37
PL_DDR4_DQ21	BC39
PL_DDR4_DQ22	BC38
PL_DDR4_DQ23	BE37

PL_DDR4_DQ24	BE36
PL_DDR4_DQ25	BD36
PL_DDR4_DQ26	BB35
PL_DDR4_DQ27	BE35
PL_DDR4_DQ28	BA35
PL_DDR4_DQ29	BB36
PL_DDR4_DQ30	BC36
PL_DDR4_DQ31	BD35
PL_DDR4_DQ32	BB31
PL_DDR4_DQ33	BA30
PL_DDR4_DQ34	AY30
PL_DDR4_DQ35	BA29
PL_DDR4_DQ36	AY32
PL_DDR4_DQ37	BB30
PL_DDR4_DQ38	AY31
PL_DDR4_DQ39	BB29
PL_DDR4_DQ40	BD29
PL_DDR4_DQ41	BE32
PL_DDR4_DQ42	BD33
PL_DDR4_DQ43	BE30
PL_DDR4_DQ44	BE31
PL_DDR4_DQ45	BE33
PL_DDR4_DQ46	BC29
PL_DDR4_DQ47	BF30
PL_DDR4_DQ48	AP30
PL_DDR4_DQ49	AP29
PL_DDR4_DQ50	AL30
PL_DDR4_DQ51	AM31
PL_DDR4_DQ52	AN31
PL_DDR4_DQ53	AR30
PL_DDR4_DQ54	AN29
PL_DDR4_DQ55	AL29
PL_DDR4_DQ56	AU32
PL_DDR4_DQ57	AW31
PL_DDR4_DQ58	AU30

PL_DDR4_DQ59	AT30
PL_DDR4_DQ60	AV32
PL_DDR4_DQ61	AV31
PL_DDR4_DQ62	AU31
PL_DDR4_DQ63	AT29
PL_DDR4_DQ64	Y33
PL_DDR4_DQ65	AB34
PL_DDR4_DQ66	Y32
PL_DDR4_DQ67	Y30
PL_DDR4_DQ68	W34
PL_DDR4_DQ69	W33
PL_DDR4_DQ70	AA34
PL_DDR4_DQ71	W30
C1_DDR4_CLKREF_N	AF33
C1_DDR4_CLKREF_P	AF32
PL_DDR4_A0	AC33
PL_DDR4_A1	AG29
PL_DDR4_A2	AJ29
PL_DDR4_A3	AG32
PL_DDR4_A4	AK28
PL_DDR4_A5	AJ30
PL_DDR4_A6	AG31
PL_DDR4_A7	AH31
PL_DDR4_A8	AG30
PL_DDR4_A9	AH32
PL_DDR4_A10	AJ27
PL_DDR4_A11	AJ31
PL_DDR4_A12	AF34
PL_DDR4_A13	AF30
PL_DDR4_ACT_B	AK31
PL_DDR4_ALERT_B	AK32
PL_DDR4_BA0	AH28
PL_DDR4_BA1	AC32
PL_DDR4_BG0	AH34
PL_DDR4_BG1	AH33

PL_DDR4_CAS_B	AH29
PL_DDR4_CKE0	AJ33
PL_DDR4_CKE1	AG34
PL_DDR4_CLK0_N	AE32
PL_DDR4_CLK0_P	AE31
PL_DDR4_CLK1_N	AE33
PL_DDR4_CLK1_P	AD33
PL_DDR4_CS0_B	AC31
PL_DDR4_CS1_B	AD31
PL_DDR4_DM0	BA34
PL_DDR4_DM1	AT33
PL_DDR4_DM2	BF39
PL_DDR4_DM3	BC34
PL_DDR4_DM4	BC31
PL_DDR4_DM5	BF32
PL_DDR4_DM6	AP31
PL_DDR4_DM7	AW29
PL_DDR4_DM8	AA32
PL_DDR4_DQS0_N	AW36
PL_DDR4_DQS0_P	AW35
PL_DDR4_DQS1_N	AN33
PL_DDR4_DQS1_P	AN32
PL_DDR4_DQS2_N	BE40
PL_DDR4_DQS2_P	BD40
PL_DDR4_DQS3_N	BC37
PL_DDR4_DQS3_P	BB37
PL_DDR4_DQS4_N	BB32
PL_DDR4_DQS4_P	BA32
PL_DDR4_DQS5_N	BD31
PL_DDR4_DQS5_P	BD30
PL_DDR4_DQS6_N	AM30
PL_DDR4_DQS6_P	AM29
PL_DDR4_DQS7_N	AV29
PL_DDR4_DQS7_P	AU29
PL_DDR4_DQS8_N	Y31

PL_DDR4_DQS8_P	W31
PL_DDR4_ODT0	AB32
PL_DDR4_ODT1	AD30
PL_DDR4_PARITY	AK27
PL_DDR4_RAS_B	AJ28
PL_DDR4_RST	AJ34
PL_DDR4_SCL_LS	AT14
PL_DDR4_SDA_LS	AT13
PL_DDR4_WE_B	AE30

(三) QSPI Flash

核心板配有 2 片 1Gbit 大小的 Quad-SPI FLASH 芯片, 型号为 MT25QU01G BBB1EW9, 它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性, 在使用中, 它可以存储 FPGA 的配置 Bin 文件以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-3-1。

表2-3-1 QSPI Flash的型号和参数

位号	芯片类型	容量	厂家
U10、U11	MT25QU01G BBB1EW9	1Gbit	Micron

QSPI FLASH 连接到 FPGA 芯片的的专用管脚上, 其中时钟管脚连接到专用 BANK0 的 CCLK0 上, 数据管脚分别连接到 BANK0 和 BANK65 上。图 2-3-1 为 QSPI Flash 和 FPGA 芯片的连接示意图。

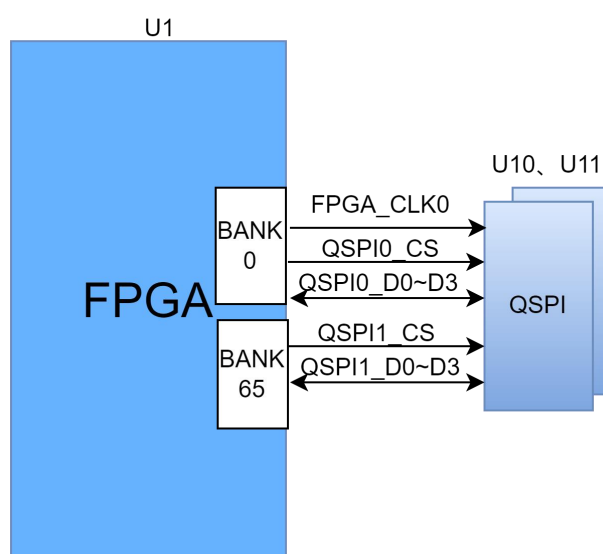


图 2-3-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	FPGA 引脚号
QSPI_CLK	AG13
QSPI0_CS	AG12
QSPI0_DQ0	AK12
QSPI0_DQ1	AJ12
QSPI0_DQ2	AL12
QSPI0_DQ3	AH12
QSPI1_CS	BF27
QSPI1_DQ0	AM26
QSPI1_DQ1	AN26
QSPI1_DQ2	AL25
QSPI1_DQ3	AM25

(四) 时钟配置

FPGA 系统时钟源

板上提供了 2 个 200MHz 差分晶振, 可为 SODIMM 控制器及 FPGA 逻辑提供参考时钟。晶振输出连接到 FPGA BANK63 和 BANK66 的全局时钟上, 可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。该时钟源的原理图如图 2-4-1 所示

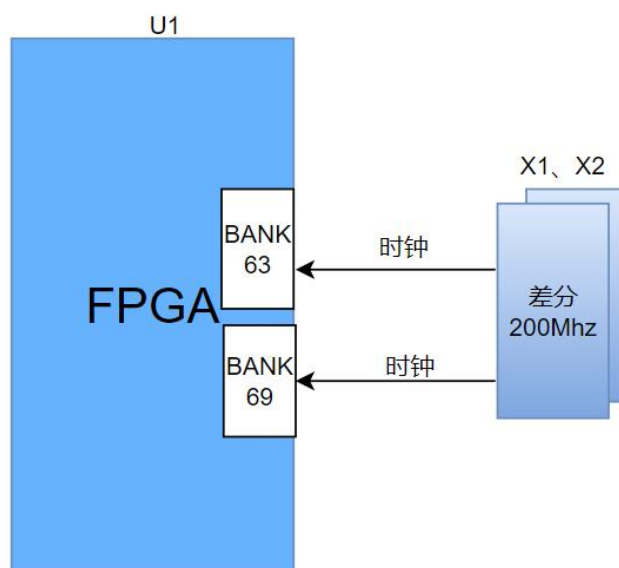


图 2-4-1 系统时钟源

时钟引脚分配:

信号名称	FPGA 引脚
BADJ_CLK1_N	AW18
BADJ_CLK1_P	AV18
C1_DDR4_CLKREF_N	AF33
C1_DDR4_CLKREF_P	AF32

高速收发器 GTY 时钟

板上专门提供了一个高精度低抖动恒温的可编程多路时钟源, 时钟通道数为 14 路, 可为高速收发器 GTY 各路提供参考时钟, 满足收发器的时钟要求。

(五) PCIe 互连接口

AXVU13F 板上有一个与 Jetson Orin NX 8GB 的 GPU 模块通信接口, 支持 PCIe Gen3.0 协议, 采用 PCIe x4 lane 互联模式进行数据通信。

GPU 模块的 PCIe 接口的收发信号直接跟 FPGA BANK224 收发器相连接, 4 路 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA 的收发器上, 单通道通信速率可高达 8G Baund 带宽。

设计示意图如下图 2-5-1 所示, 其中 TX 发送信号用 AC 耦合模式连接。

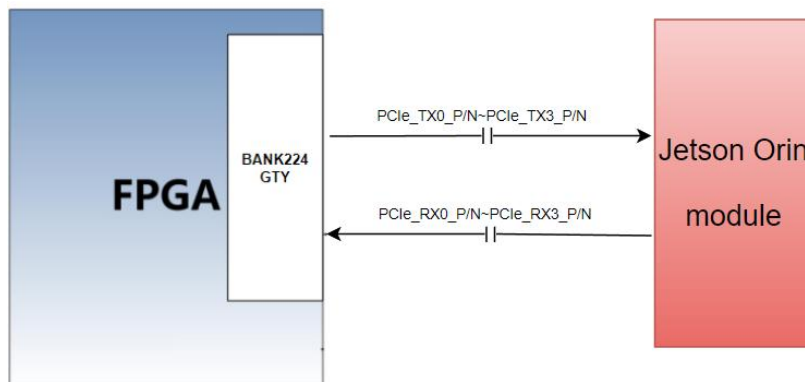


图 2-5-1 PCIe 插槽设计示意图

PCIe x4 接口 FPGA 引脚分配如下:

信号名称	FPGA 引脚名	引脚号	备注
PCIE_RX0_P	MGTYRXP3_224	AV2	PCIE 通道 0 数据接收正
PCIE_RX0_N	MGTYRXN3_224	AV1	PCIE 通道 0 数据接收负
PCIE_RX1_P	MGTYRXP2_224	AW4	PCIE 通道 1 数据接收正
PCIE_RX1_N	MGTYRXN2_224	AW3	PCIE 通道 1 数据接收负

PCIE_RX2_P	MGTYRXP1_224	BA2	PCIE 通道 2 数据接收正
PCIE_RX2_N	MGTYRXN1_224	BA1	PCIE 通道 2 数据接收负
PCIE_RX3_P	MGTYRXP0_224	BC2	PCIE 通道 3 数据接收正
PCIE_RX3_N	MGTYRXN0_224	BC1	PCIE 通道 3 数据接收负
PCIE_TX0_P	MGTYTXP3_224	AV7	PCIE 通道 0 数据发送正
PCIE_TX0_N	MGTYTXN3_224	AV6	PCIE 通道 0 数据发送负
PCIE_TX1_P	MGTYTXP2_224	BB5	PCIE 通道 1 数据发送正
PCIE_TX1_N	MGTYTXN2_224	BB4	PCIE 通道 1 数据发送负
PCIE_TX2_P	MGTYTXP1_224	BD5	PCIE 通道 2 数据发送正
PCIE_TX2_N	MGTYTXN1_224	BD4	PCIE 通道 2 数据发送负
PCIE_TX3_P	MGTYTXP0_224	BF5	PCIE 通道 3 数据发送正
PCIE_TX3_N	MGTYTXP3_224	AV7	PCIE 通道 3 数据发送负
PCIE_CLK0_P	MGTREFCLK0P_224	AW9	PCIE 通道参考时钟正
PCIE_CLK0_N	MGTREFCLK0N_224	AW8	PCIE 通道参考时钟负
FPGA_PCIE_PERST_n	IO_T3U_N12_PERSTN0_65	AR26	PCIE 复位信号

(六) FMC+接口

AXVU13F 带有 4 路 FMC+扩展口, 分别为 FMC1+ (J9)、FMC2+ (J8)、FMC3+ (J7)、和 FMC3+ (J23), 可以外接 XILINX 或者我们黑金的各种 FMC+和 FMC 模块 (HDMI 输入输出模块, 双目摄像头模块, 高速 AD 模块等等)。

FMC1+扩展口包含 34 对 LA 信号差分对、2 对时钟信号及 24 对 HA 信号, 分别连接 FPGA 芯片 BANK64, BANK66, BANK67, 电平标准默认为 1.8V。20 路高速 GTY 收发信号连接 FPGA 芯片 BANK124、BANK125、BANK126、BANK127 和 BANK128 的 IO 上。

FPGA 和 FMC1+连接器的原理图如图 2-6-1 所示:

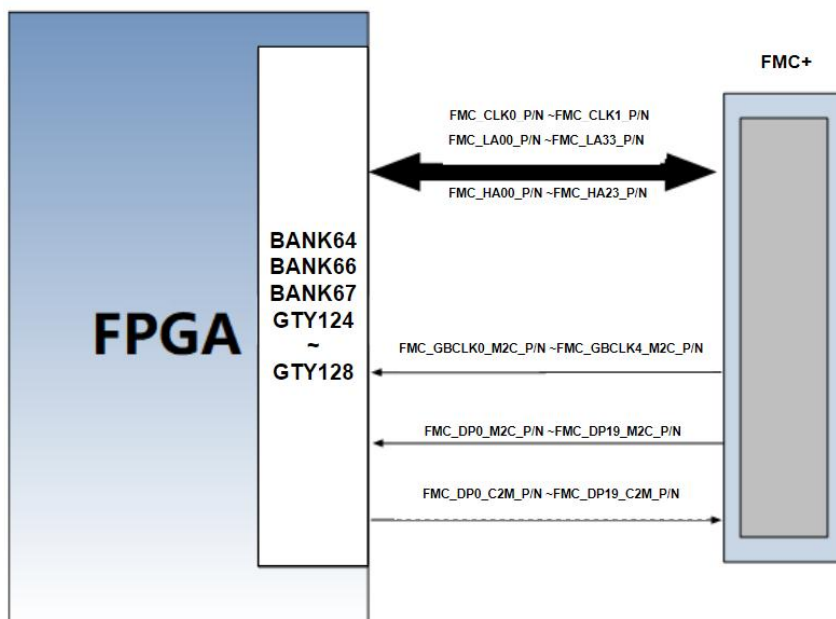


图 2-6-1 FMC1+连接图

FMC1+ (J9) 连接器引脚分配如下:

信号名	FPGA 引脚名	FPGA 引脚号	备注
FMC1_CLK0_N	IO_L12N_T1U_N11_GC_67	BA13	FMC 第 0 路输入参考时钟 N
FMC1_CLK0_P	IO_L12P_T1U_N10_GC_67	AY13	FMC 第 0 路输入参考时钟 P
FMC1_CLK1_N	IO_L12N_T1U_N11_GC_66	AW19	FMC 第 1 路输入参考时钟 N
FMC1_CLK1_P	IO_L12P_T1U_N10_GC_66	AV19	FMC 第 1 路输入参考时钟 P
FMC1_LA00_CC_N	IO_L14N_T2L_N3_GC_67	AW15	FMC LA 第 0 路数据 (时钟) N
FMC1_LA00_CC_P	IO_L14P_T2L_N2_GC_67	AW16	FMC LA 第 0 路数据 (时钟) P
FMC1_LA01_CC_N	IO_L13N_T2L_N1_GC_QBC_67	AW13	FMC LA 第 1 路数据 (时钟) N
FMC1_LA01_CC_P	IO_L13P_T2L_N0_GC_QBC_67	AW14	FMC LA 第 1 路数据 (时钟) P
FMC1_LA02_N	IO_L17N_T2U_N9_AD10N_67	AU15	FMC LA 第 2 路数据 N
FMC1_LA02_P	IO_L17P_T2U_N8_AD10P_67	AT15	FMC LA 第 2 路数据 P
FMC1_LA03_N	IO_L6N_T0U_N11_AD6N_67	BC13	FMC LA 第 3 路数据 N

FMC1_LA03_P	IO_L6P_T0U_N10_AD6P_67	BC14	FMC LA 第 3 路数据 P
FMC1_LA04_N	IO_L16N_T2U_N7_QBC_AD3N_67	AV14	FMC LA 第 4 路数据 N
FMC1_LA04_P	IO_L16P_T2U_N6_QBC_AD3P_67	AU14	FMC LA 第 4 路数据 P
FMC1_LA05_N	IO_L15N_T2L_N5_AD11N_67	AV13	FMC LA 第 5 路数据 N
FMC1_LA05_P	IO_L15P_T2L_N4_AD11P_67	AU13	FMC LA 第 5 路数据 P
FMC1_LA06_N	IO_L4N_T0U_N7_DBC_AD7N_67	BE13	FMC LA 第 6 路数据 P
FMC1_LA06_P	IO_L4P_T0U_N6_DBC_AD7P_67	BD13	FMC LA 第 6 路数据 P
FMC1_LA07_N	IO_L3N_T0L_N5_AD15N_67	BE16	FMC LA 第 7 路数据 N
FMC1_LA07_P	IO_L3P_T0L_N4_AD15P_67	BD16	FMC LA 第 7 路数据 P
FMC1_LA08_N	IO_L2N_T0L_N3_67	BF15	FMC LA 第 8 路数据 N
FMC1_LA08_P	IO_L2P_T0L_N2_67	BE15	FMC LA 第 8 路数据 P
FMC1_LA09_N	IO_L5N_T0U_N9_AD14N_67	BD14	FMC LA 第 9 路数据 N
FMC1_LA09_P	IO_L5P_T0U_N8_AD14P_67	BD15	FMC LA 第 9 路数据 P
FMC1_LA10_N	IO_L7N_T1L_N1_QBC_AD13N_67	BB12	FMC LA 第 10 路数据 N
FMC1_LA10_P	IO_L7P_T1L_N0_QBC_AD13P_67	BA12	FMC LA 第 10 路数据 P
FMC1_LA11_N	IO_L20N_T3L_N3_AD1N_67	AP14	FMC LA 第 11 路数据 N
FMC1_LA11_P	IO_L20P_T3L_N2_AD1P_67	AP15	FMC LA 第 11 路数据 P
FMC1_LA12_N	IO_L1N_T0L_N1_DBC_67	BF13	FMC LA 第 12 路数据 N
FMC1_LA12_P	IO_L1P_T0L_N0_DBC_67	BF14	FMC LA 第 12 路数据 P
FMC1_LA13_N	IO_L22N_T3U_N7_DBC_AD0N_67	AR13	FMC LA 第 13 路数据 N
FMC1_LA13_P	IO_L22P_T3U_N6_DBC_AD0P_67	AP13	FMC LA 第 13 路数据 P
FMC1_LA14_N	IO_L19N_T3L_N1_DBC_AD9N_67	AR15	FMC LA 第 14 路数据 N
FMC1_LA14_P	IO_L19P_T3L_N0_DBC_AD9P_67	AR16	FMC LA 第 14 路数据 P
FMC1_LA15_N	IO_L23N_T3U_N9_67	AM15	FMC LA 第 15 路数据 N
FMC1_LA15_P	IO_L23P_T3U_N8_67	AL15	FMC LA 第 15 路数据 P
FMC1_LA16_N	IO_L21N_T3L_N5_AD8N_67	AN13	FMC LA 第 16 路数据 N
FMC1_LA16_P	IO_L21P_T3L_N4_AD8P_67	AN14	FMC LA 第 16 路数据 P
FMC1_LA17_CC_N	IO_L14N_T2L_N3_GC_66	AU20	FMC LA 第 17 路数据(时钟) N
FMC1_LA17_CC_N	IO_L14N_T2L_N3_GC_74	F23	FMC LA 第 17 路数据(时钟) P
FMC1_LA17_CC_P	IO_L14P_T2L_N2_GC_66	AT20	FMC LA 第 18 路数据(时钟) N
FMC1_LA17_CC_P	IO_L14P_T2L_N2_GC_74	F24	FMC LA 第 18 路数据(时钟) P

FMC1_LA18_CC_N	IO_L13N_T2L_N1_GC_QBC_66	AU19	FMC LA 第 19 路数据 N
FMC1_LA18_CC_N	IO_L13N_T2L_N1_GC_QBC_74	G24	FMC LA 第 19 路数据 P
FMC1_LA18_CC_P	IO_L13P_T2L_N0_GC_QBC_66	AT19	FMC LA 第 20 路数据 N
FMC1_LA18_CC_P	IO_L13P_T2L_N0_GC_QBC_74	G25	FMC LA 第 20 路数据 P
FMC1_LA19_N	IO_L10N_T1U_N7_QBC_AD4N_66	AW21	FMC LA 第 21 路数据 N
FMC1_LA19_N	IO_L10N_T1U_N7_QBC_AD4N_74	J25	FMC LA 第 21 路数据 P
FMC1_LA19_P	IO_L10P_T1U_N6_QBC_AD4P_66	AV21	FMC LA 第 22 路数据 N
FMC1_LA19_P	IO_L10P_T1U_N6_QBC_AD4P_74	K25	FMC LA 第 22 路数据 P
FMC1_LA20_N	IO_L15N_T2L_N5_AD11N_66	AU17	FMC LA 第 23 路数据 N
FMC1_LA20_N	IO_L15N_T2L_N5_AD11N_74	F22	FMC LA 第 23 路数据 P
FMC1_LA20_P	IO_L15P_T2L_N4_AD11P_66	AT18	FMC LA 第 24 路数据 N
FMC1_LA20_P	IO_L15P_T2L_N4_AD11P_74	G22	FMC LA 第 24 路数据 P
FMC1_LA21_N	IO_L4N_T0U_N7_DBC_AD7N_74	N24	FMC LA 第 25 路数据 N
FMC1_LA21_N	IO_L5N_T0U_N9_AD14N_66	BC17	FMC LA 第 25 路数据 P
FMC1_LA21_P	IO_L4P_T0U_N6_DBC_AD7P_74	P24	FMC LA 第 26 路数据 N
FMC1_LA21_P	IO_L5P_T0U_N8_AD14P_66	BB17	FMC LA 第 26 路数据 P
FMC1_LA22_N	IO_L3N_T0L_N5_AD15N_74	N23	FMC LA 第 27 路数据 N
FMC1_LA22_N	IO_L4N_T0U_N7_DBC_AD7N_66	BD19	FMC LA 第 27 路数据 P
FMC1_LA22_P	IO_L3P_T0L_N4_AD15P_74	P23	FMC LA 第 28 路数据 N
FMC1_LA22_P	IO_L4P_T0U_N6_DBC_AD7P_66	BC19	FMC LA 第 28 路数据 P
FMC1_LA23_N	IO_L2N_T0L_N3_74	M22	FMC LA 第 29 路数据 N
FMC1_LA23_N	IO_L3N_T0L_N5_AD15N_66	BE18	FMC LA 第 29 路数据 P
FMC1_LA23_P	IO_L2P_T0L_N2_74	N22	FMC LA 第 30 路数据 N
FMC1_LA23_P	IO_L3P_T0L_N4_AD15P_66	BD18	FMC LA 第 30 路数据 P
FMC1_LA24_N	IO_L16N_T2U_N7_QBC_AD3N_66	AT17	FMC LA 第 31 路数据 N
FMC1_LA24_N	IO_L16N_T2U_N7_QBC_AD3N_74	E22	FMC LA 第 31 路数据 P
FMC1_LA24_P	IO_L16P_T2U_N6_QBC_AD3P_66	AR17	FMC LA 第 32 路数据 N
FMC1_LA24_P	IO_L16P_T2U_N6_QBC_AD3P_74	E23	FMC LA 第 32 路数据 P
FMC1_LA25_N	IO_L18N_T2U_N11_AD2N_74	D25	FMC LA 第 33 路数据 N
FMC1_LA25_N	IO_L9N_T1L_N5_AD12N_66	AY20	FMC LA 第 33 路数据 P
FMC1_SCL	IO_T2U_N12_66	AU21	FMC I2C 总线时钟
FMC1_SDA	IO_T1U_N12_67	BB16	FMC I2C 总线数据
FMC1_HA00_CC_N	IO_L14N_T2L_N3_GC_64	AW24	FMC HA 第 0 路数据 (时钟) N
FMC1_HA00_CC_P	IO_L14P_T2L_N2_GC_64	AV24	FMC HA 第 0 路数据 (时

			钟) P
FMC1_HA01_CC_N	IO_L13N_T2L_N1_GC_QBC_64	AW23	FMC HA 第 1 路数据 (时钟) N
FMC1_HA01_CC_P	IO_L13P_T2L_N0_GC_QBC_64	AV23	FMC HA 第 1 路数据 (时钟) P
FMC1_HA02_N	IO_L7N_T1L_N1_QBC_AD13N_64	BB20	FMC HA 第 2 路数据 N
FMC1_HA02_P	IO_L7P_T1L_N0_QBC_AD13P_64	BA20	FMC HA 第 2 路数据 P
FMC1_HA03_N	IO_L5N_T0U_N9_AD14N_64	BE21	FMC HA 第 3 路数据 N
FMC1_HA03_P	IO_L5P_T0U_N8_AD14P_64	BD21	FMC HA 第 3 路数据 N
FMC1_HA04_N	IO_L2N_T0L_N3_64	BE23	FMC HA 第 4 路数据 N
FMC1_HA04_P	IO_L2P_T0L_N2_64	BD23	FMC HA 第 4 路数据 P
FMC1_HA05_N	IO_L4N_T0U_N7_DBC_AD7N_64	BF22	FMC HA 第 5 路数据 N
FMC1_HA05_P	IO_L4P_T0U_N6_DBC_AD7P_64	BE22	FMC HA 第 5 路数据 P
FMC1_HA06_N	IO_L3N_T0L_N5_AD15N_64	BD24	FMC HA 第 6 路数据 N
FMC1_HA06_P	IO_L3P_T0L_N4_AD15P_64	BC24	FMC HA 第 6 路数据 P
FMC1_HA07_N	IO_L1N_T0L_N1_DBC_64	BF23	FMC HA 第 7 路数据 N
FMC1_HA07_P	IO_L1P_T0L_N0_DBC_64	BF24	FMC HA 第 7 路数据 P
FMC1_HA08_N	IO_L6N_T0U_N11_AD6N_64	BE20	FMC HA 第 8 路数据 N
FMC1_HA08_P	IO_L6P_T0U_N10_AD6P_64	BD20	FMC HA 第 8 路数据 P
FMC1_HA09_N	IO_L15N_T2L_N5_AD11N_64	AV22	FMC HA 第 9 路数据 N
FMC1_HA09_P	IO_L15P_T2L_N4_AD11P_64	AU22	FMC HA 第 9 路数据 P
FMC1_HA10_N	IO_L16N_T2U_N7_QBC_AD3N_64	AT22	FMC HA 第 10 路数据 N
FMC1_HA10_P	IO_L16P_T2U_N6_QBC_AD3P_64	AR22	FMC HA 第 10 路数据 P
FMC1_HA11_N	IO_L17N_T2U_N9_AD10N_64	AT23	FMC HA 第 11 路数据 N
FMC1_HA11_P	IO_L17P_T2U_N8_AD10P_64	AR23	FMC HA 第 11 路数据 P
FMC1_HA12_N	IO_L18N_T2U_N11_AD2N_64	AU24	FMC HA 第 12 路数据 N
FMC1_HA12_P	IO_L18P_T2U_N10_AD2P_64	AT24	FMC HA 第 12 路数据 P
FMC1_HA13_N	IO_L10N_T1U_N7_QBC_AD4N_64	BB24	FMC HA 第 13 路数据 N
FMC1_HA13_P	IO_L10P_T1U_N6_QBC_AD4P_64	BA24	FMC HA 第 13 路数据 P
FMC1_HA14_N	IO_L20N_T3L_N3_AD1N_64	AP23	FMC HA 第 14 路数据 N
FMC1_HA14_P	IO_L20P_T3L_N2_AD1P_64	AN23	FMC HA 第 14 路数据 P
FMC1_HA15_N	IO_L8N_T1L_N3_AD5N_64	BC21	FMC HA 第 15 路数据 N
FMC1_HA15_P	IO_L8P_T1L_N2_AD5P_64	BB21	FMC HA 第 15 路数据 P
FMC1_HA16_N	IO_L9N_T1L_N5_AD12N_64	BC22	FMC HA 第 16 路数据 N
FMC1_HA16_P	IO_L9P_T1L_N4_AD12P_64	BB22	FMC HA 第 16 路数据 P

FMC1_HA17_CC_N	IO_L12N_T1U_N11_GC_64	BA23	FMC HA 第 17 路数据 (时钟) N
FMC1_HA17_CC_P	IO_L12P_T1U_N10_GC_64	AY23	FMC HA 第 17 路数据 (时钟) P
FMC1_HA18_N	IO_L22N_T3U_N7_DBC_AD0N_64	AM24	FMC HA 第 18 路数据 N
FMC1_HA18_P	IO_L22P_T3U_N6_DBC_AD0P_64	AL24	FMC HA 第 18 路数据 P
FMC1_HA19_N	IO_L11N_T1U_N9_GC_64	BA22	FMC HA 第 19 路数据 N
FMC1_HA19_P	IO_L11P_T1U_N8_GC_64	AY22	FMC HA 第 19 路数据 P
FMC1_HA20_N	IO_L21N_T3L_N5_AD8N_64	AP24	FMC HA 第 20 路数据 N
FMC1_HA20_P	IO_L21P_T3L_N4_AD8P_64	AN24	FMC HA 第 20 路数据 P
FMC1_HA21_N	IO_L19N_T3L_N1_DBC_AD9N_64	AN21	FMC HA 第 21 路数据 N
FMC1_HA21_P	IO_L19P_T3L_N0_DBC_AD9P_64	AN22	FMC HA 第 21 路数据 P
FMC1_HA22_N	IO_L23N_T3U_N9_64	AM22	FMC HA 第 22 路数据 N
FMC1_HA22_P	IO_L23P_T3U_N8_64	AL22	FMC HA 第 22 路数据 P
FMC1_HA23_N	IO_L24N_T3U_N11_64	AM21	FMC HA 第 23 路数据 N
FMC1_HA23_P	IO_L24P_T3U_N10_64	AL21	FMC HA 第 23 路数据 P
FMC1_DP0_M2C_P	MGTYRXP0_124	BC45	收发器数据 0 输入 P
FMC1_DP0_M2C_N	MGTYRXN0_124	BC46	收发器数据 0 输入 N
FMC1_DP1_M2C_P	MGTYRXP1_124	BA45	收发器数据 1 输入 P
FMC1_DP1_M2C_N	MGTYRXN1_124	BA46	收发器数据 1 输入 N
FMC1_DP2_M2C_P	MGTYRXP2_124	AW45	收发器数据 2 输入 P
FMC1_DP2_M2C_N	MGTYRXN2_124	AW46	收发器数据 2 输入 N
FMC1_DP3_M2C_P	MGTYRXP3_124	AV43	收发器数据 3 输入 P
FMC1_DP3_M2C_N	MGTYRXN3_124	AV44	收发器数据 3 输入 N
FMC1_DP4_M2C_P	MGTYRXP1_127	AH43	收发器数据 4 输入 P
FMC1_DP4_M2C_N	MGTYRXN1_127	AH44	收发器数据 4 输入 N
FMC1_DP5_M2C_P	MGTYRXP3_127	AF43	收发器数据 5 输入 P
FMC1_DP5_M2C_N	MGTYRXN3_127	AF44	收发器数据 5 输入 N
FMC1_DP6_M2C_P	MGTYRXP2_127	AG45	收发器数据 6 输入 P
FMC1_DP6_M2C_N	MGTYRXN2_127	AG46	收发器数据 6 输入 N
FMC1_DP7_M2C_P	MGTYRXP0_127	AJ45	收发器数据 7 输入 P
FMC1_DP7_M2C_N	MGTYRXN0_127	AJ46	收发器数据 7 输入 N
FMC1_DP8_M2C_P	MGTYRXP2_125	AR45	收发器数据 8 输入 P
FMC1_DP8_M2C_N	MGTYRXN2_125	AR46	收发器数据 8 输入 N
FMC1_DP9_M2C_P	MGTYRXP1_125	AT43	收发器数据 9 输入 P

FMC1_DP9_M2C_N	MGTYRXN1_125	AT44	收发器数据 9 输入 N
FMC1_DP10_M2C_P	MGTYRXP0_125	AU45	收发器数据 10 输入 P
FMC1_DP10_M2C_N	MGTYRXN0_125	AU46	收发器数据 10 输入 N
FMC1_DP11_M2C_P	MGTYRXP3_125	AP43	收发器数据 11 输入 P
FMC1_DP11_M2C_N	MGTYRXN3_125	AP44	收发器数据 11 输入 N
FMC1_DP12_M2C_P	MGTYRXP0_126	AN45	收发器数据 12 输入 P
FMC1_DP12_M2C_N	MGTYRXN0_126	AN46	收发器数据 12 输入 N
FMC1_DP13_M2C_P	MGTYRXP1_126	AM43	收发器数据 13 输入 P
FMC1_DP13_M2C_N	MGTYRXN1_126	AM44	收发器数据 13 输入 N
FMC1_DP14_M2C_P	MGTYRXP2_126	AL45	收发器数据 14 输入 P
FMC1_DP14_M2C_N	MGTYRXN2_126	AL46	收发器数据 14 输入 N
FMC1_DP15_M2C_P	MGTYRXP3_126	AK43	收发器数据 15 输入 P
FMC1_DP15_M2C_N	MGTYRXN3_126	AK44	收发器数据 15 输入 N
FMC1_DP16_M2C_P	MGTYRXP0_128	AE45	收发器数据 16 输入 P
FMC1_DP16_M2C_N	MGTYRXN0_128	AE46	收发器数据 16 输入 N
FMC1_DP17_M2C_P	MGTYRXP1_128	AD43	收发器数据 17 输入 P
FMC1_DP17_M2C_N	MGTYRXN1_128	AD44	收发器数据 17 输入 N
FMC1_DP18_M2C_P	MGTYRXP2_128	AC45	收发器数据 18 输入 P
FMC1_DP18_M2C_N	MGTYRXN2_128	AC46	收发器数据 18 输入 N
FMC1_DP19_M2C_P	MGTYRXP3_128	AB43	收发器数据 19 输入 P
FMC1_DP19_M2C_N	MGTYRXN3_128	AB44	收发器数据 19 输入 N
FMC1_DP0_C2M_P	MGTYTXP0_124	BF42	收发器数据 0 输出 P
FMC1_DP0_C2M_N	MGTYTXN0_124	BF43	收发器数据 0 输出 N
FMC1_DP1_C2M_P	MGTYTXP1_124	BD42	收发器数据 1 输出 P
FMC1_DP1_C2M_N	MGTYTXN1_124	BD43	收发器数据 1 输出 N
FMC1_DP2_C2M_P	MGTYTXP2_124	BB42	收发器数据 2 输出 P
FMC1_DP2_C2M_N	MGTYTXN2_124	BB43	收发器数据 2 输出 N
FMC1_DP3_C2M_P	MGTYTXP3_124	AW40	收发器数据 3 输出 P
FMC1_DP3_C2M_N	MGTYTXN3_124	AW41	收发器数据 3 输出 N
FMC1_DP4_C2M_P	MGTYTXP1_127	AH38	收发器数据 4 输出 P
FMC1_DP4_C2M_N	MGTYTXN1_127	AH39	收发器数据 4 输出 N
FMC1_DP5_C2M_P	MGTYTXP3_127	AF38	收发器数据 5 输出 P
FMC1_DP5_C2M_N	MGTYTXN3_127	AF39	收发器数据 5 输出 N
FMC1_DP6_C2M_P	MGTYTXP2_127	AG40	收发器数据 6 输出 P
FMC1_DP6_C2M_N	MGTYTXN2_127	AG41	收发器数据 6 输出 N

FMC1_DP7_C2M_P	MGTYTXP0_127	AJ40	收发器数据 7 输出 P
FMC1_DP7_C2M_N	MGTYTXN0_127	AJ41	收发器数据 7 输出 N
FMC1_DP8_C2M_P	MGTYTXP2_125	AR40	收发器数据 8 输出 P
FMC1_DP8_C2M_N	MGTYTXN2_125	AR41	收发器数据 8 输出 N
FMC1_DP9_C2M_P	MGTYTXP1_125	AT38	收发器数据 9 输出 P
FMC1_DP9_C2M_N	MGTYTXN1_125	AT39	收发器数据 9 输出 N
FMC1_DP10_C2M_P	MGTYTXP0_125	AU40	收发器数据 10 输出 P
FMC1_DP10_C2M_N	MGTYTXN0_125	AU41	收发器数据 10 输出 N
FMC1_DP11_C2M_P	MGTYTXP3_125	AP38	收发器数据 11 输出 P
FMC1_DP11_C2M_N	MGTYTXN3_125	AP39	收发器数据 11 输出 N
FMC1_DP12_C2M_P	MGTYTXP0_126	AN40	收发器数据 12 输出 P
FMC1_DP12_C2M_N	MGTYTXN0_126	AN41	收发器数据 12 输出 N
FMC1_DP13_C2M_P	MGTYTXP1_126	AM38	收发器数据 13 输出 P
FMC1_DP13_C2M_N	MGTYTXN1_126	AM39	收发器数据 13 输出 N
FMC1_DP14_C2M_P	MGTYTXP2_126	AL40	收发器数据 14 输出 P
FMC1_DP14_C2M_N	MGTYTXN2_126	AL41	收发器数据 14 输出 N
FMC1_DP15_C2M_P	MGTYTXP3_126	AK38	收发器数据 15 输出 P
FMC1_DP15_C2M_N	MGTYTXN3_126	AK39	收发器数据 15 输出 N
FMC1_DP16_C2M_P	MGTYTXP0_128	AE40	收发器数据 16 输出 P
FMC1_DP16_C2M_N	MGTYTXN0_128	AE41	收发器数据 16 输出 N
FMC1_DP17_C2M_P	MGTYTXP1_128	AD38	收发器数据 17 输出 P
FMC1_DP17_C2M_N	MGTYTXN1_128	AD39	收发器数据 17 输出 N
FMC1_DP18_C2M_P	MGTYTXP2_128	AC40	收发器数据 18 输出 P
FMC1_DP18_C2M_N	MGTYTXN2_128	AC41	收发器数据 18 输出 N
FMC1_DP19_C2M_P	MGTYTXP3_128	AB38	收发器数据 19 输出 P
FMC1_DP19_C2M_N	MGTYTXN3_128	AB39	收发器数据 19 输出 N
FMC1_GBT1_0_M2C_C_N	MGTREFCLK1N_127	AJ37	收发器参考时钟 1 输入 N
FMC1_GBT1_0_M2C_C_P	MGTREFCLK1P_127	AJ36	收发器参考时钟 1 输入 P
FMC1_GBT1_1_M2C_C_N	MGTREFCLK1N_124	AY39	收发器参考时钟 1 输入 N
FMC1_GBT1_1_M2C_C_P	MGTREFCLK1P_124	AY38	收发器参考时钟 1 输入 P
FMC1_GBT1_2_M2C_C_N	MGTREFCLK1N_125	AU37	收发器参考时钟 1 输入 N
FMC1_GBT1_2_M2C_C_P	MGTREFCLK1P_125	AU36	收发器参考时钟 1 输入 P
FMC1_GBT1_3_M2C_C_N	MGTREFCLK1N_126	AN37	收发器参考时钟 1 输入 N
FMC1_GBT1_3_M2C_C_P	MGTREFCLK1P_126	AN36	收发器参考时钟 1 输入 P
FMC1_GBT1_4_M2C_C_N	MGTREFCLK1N_128	AE37	收发器参考时钟 1 输入 N

FMC1_GBT1_4_M2C_C_P	MGTREFCLK1P_128	AE36	收发器参考时钟 1 输入 P
FMC1_GBT0_0_M2C_C_N	MGTREFCLK0N_124	BA41	收发器参考时钟 0 输入 N
FMC1_GBT0_0_M2C_C_P	MGTREFCLK0P_124	BA40	收发器参考时钟 0 输入 P
FMC1_GBTCLK2_M2C_C_N	MGTREFCLK0N_125	AV39	收发器参考时钟 0 输入 N
FMC1_GBTCLK2_M2C_C_P	MGTREFCLK0P_125	AV38	收发器参考时钟 0 输入 P
FMC1_GBTCLK3_M2C_C_N	MGTREFCLK0N_126	AR37	收发器参考时钟 0 输入 N
FMC1_GBTCLK3_M2C_C_P	MGTREFCLK0P_126	AR36	收发器参考时钟 0 输入 P
FMC1_GBTCLK4_M2C_C_N	MGTREFCLK0N_128	AG37	收发器参考时钟 0 输入 N
FMC1_GBTCLK4_M2C_C_P	MGTREFCLK0P_128	AG36	收发器参考时钟 0 输入 P
FMC1_H_PRSENT_M2C_B	IO_L7P_T1L_N0_QBC_AD13P_66	AY17	复位管脚
FMC1_L_PRSENT_M2C_B	IO_L8P_T1L_N2_AD5P_67	AY12	复位管脚
FMC1_PG_C2M	IO_L8N_T1L_N3_AD5N_67	AY11	电源状态管脚
FMC1_PG_M2C	IO_T1U_N12_66	AV17	电源状态管脚
FMC1_REFCLK_C2M_N	IO_L9N_T1L_N5_AD12N_67	AY15	参考时钟 1 输出 N
FMC1_REFCLK_C2M_P	IO_L9P_T1L_N4_AD12P_67	AY16	参考时钟 1 输出 P
FMC1_REFCLK_M2C_N	IO_L11N_T1U_N9_GC_67	BA14	参考时钟 1 输入 N
FMC1_REFCLK_M2C_P	IO_L11P_T1U_N8_GC_67	BA15	参考时钟 1 输入 P
FMC1_SYNC_C2M_N	IO_L10N_T1U_N7_QBC_AD4N_67	BB14	C2M SYNC 输出 N
FMC1_SYNC_C2M_P	IO_L10P_T1U_N6_QBC_AD4P_67	BB15	C2M SYNC 输出 P
FMC1_SYNC_M2C_N	IO_L18N_T2U_N11_AD2N_67	AV16	M2C SYNC 输入 N
FMC1_SYNC_M2C_P	IO_L18P_T2U_N10_AD2P_67	AU16	M2C SYNC 输入 P
FMC1_GBT0_1_M2C_C_N	MGTREFCLK0N_127	AL37	参考时钟 0 输入 N
FMC1_GBT0_1_M2C_C_P	MGTREFCLK0P_127	AL36	参考时钟 0 输入 P

FMC2+扩展口包含 34 对 LA 信号差分对、2 对时钟信号及 24 对 HA 信号,分别连接 FPGA 芯片 BANK65, BANK69, BANK70, 电平标准默认为 1.8V。16 路高速 GTY 收发信号连接 FPGA 芯片 BANK129、BANK130、BANK131 和 BANK133 的 IO 上。

FPGA 和 FMC2+连接器的原理图如图 2-6-2 所示:

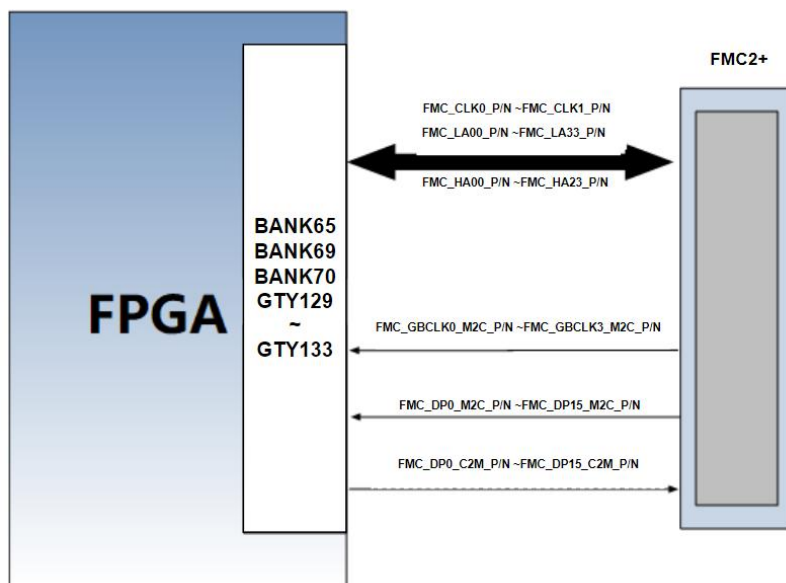


图 2-6-2 HPC FMC 连接示意图

FMC2+ (J8) 连接器引脚分配如下:

信号名	FPGA 引脚名	FPGA 引脚号	备注
FMC2_CLK0_M2C_N	IO_L11N_T1U_N9_GC_69	N31	FMC 第 0 路输入参考时钟 N
FMC2_CLK0_M2C_P	IO_L11P_T1U_N8_GC_69	P31	FMC 第 0 路输入参考时钟 P
FMC2_CLK1_M2C_N	IO_L12N_T1U_N11_GC_A09_D25_65	AY28	FMC 第 1 路输入参考时钟 N
FMC2_CLK1_M2C_P	IO_L12P_T1U_N10_GC_A08_D24_65	AW28	FMC 第 1 路输入参考时钟 P
FMC2_LA00_CC_N	IO_L14N_T2L_N3_GC_69	K32	FMC LA 第 0 路数据 (时钟) N
FMC2_LA00_CC_P	IO_L14P_T2L_N2_GC_69	L32	FMC LA 第 0 路数据 (时钟) P
FMC2_LA01_CC_N	IO_L13N_T2L_N1_GC_QBC_69	M32	FMC LA 第 1 路数据 (时钟) N
FMC2_LA01_CC_P	IO_L13P_T2L_N0_GC_QBC_69	M31	FMC LA 第 1 路数据 (时钟) P
FMC2_LA02_N	IO_L15N_T2L_N5_AD11N_69	L30	FMC LA 第 2 路数据 N
FMC2_LA02_P	IO_L15P_T2L_N4_AD11P_69	M30	FMC LA 第 2 路数据 P
FMC2_LA03_N	IO_L6N_T0U_N11_AD6N_69	T30	FMC LA 第 3 路数据 N

FMC2_LA03_P	IO_L6P_T0U_N10_AD6P_69	U30	FMC LA 第 3 路数据 P
FMC2_LA04_N	IO_L17N_T2U_N9_AD10N_69	J31	FMC LA 第 4 路数据 N
FMC2_LA04_P	IO_L17P_T2U_N8_AD10P_69	K31	FMC LA 第 4 路数据 P
FMC2_LA05_N	IO_L16N_T2U_N7_QBC_AD3N_69	J30	FMC LA 第 5 路数据 N
FMC2_LA05_P	IO_L16P_T2U_N6_QBC_AD3P_69	K30	FMC LA 第 5 路数据 P
FMC2_LA06_N	IO_L2N_T0L_N3_69	R33	FMC LA 第 6 路数据 P
FMC2_LA06_P	IO_L2P_T0L_N2_69	T33	FMC LA 第 6 路数据 P
FMC2_LA07_N	IO_L5N_T0U_N9_AD14N_69	U31	FMC LA 第 7 路数据 N
FMC2_LA07_P	IO_L5P_T0U_N8_AD14P_69	V31	FMC LA 第 7 路数据 P
FMC2_LA08_N	IO_L4N_T0U_N7_DBC_AD7N_69	V33	FMC LA 第 8 路数据 N
FMC2_LA08_P	IO_L4P_T0U_N6_DBC_AD7P_69	V32	FMC LA 第 8 路数据 P
FMC2_LA09_N	IO_L3N_T0L_N5_AD15N_69	T32	FMC LA 第 9 路数据 N
FMC2_LA09_P	IO_L3P_T0L_N4_AD15P_69	U32	FMC LA 第 9 路数据 P
FMC2_LA10_N	IO_L18N_T2U_N11_AD2N_69	K33	FMC LA 第 10 路数据 N
FMC2_LA10_P	IO_L18P_T2U_N10_AD2P_69	L33	FMC LA 第 10 路数据 P
FMC2_LA11_N	IO_L22N_T3U_N7_DBC_AD0N_69	H33	FMC LA 第 11 路数据 N
FMC2_LA11_P	IO_L22P_T3U_N6_DBC_AD0P_69	J33	FMC LA 第 11 路数据 P
FMC2_LA12_N	IO_L1N_T0L_N1_DBC_69	T34	FMC LA 第 12 路数据 N
FMC2_LA12_P	IO_L1P_T0L_N0_DBC_69	U34	FMC LA 第 12 路数据 P
FMC2_LA13_N	IO_L20N_T3L_N3_AD1N_69	G31	FMC LA 第 13 路数据 N
FMC2_LA13_P	IO_L20P_T3L_N2_AD1P_69	H31	FMC LA 第 13 路数据 P
FMC2_LA14_N	IO_L19N_T3L_N1_DBC_AD9N_69	F30	FMC LA 第 14 路数据 N
FMC2_LA14_P	IO_L19P_T3L_N0_DBC_AD9P_69	G30	FMC LA 第 14 路数据 P
FMC2_LA15_N	IO_L21N_T3L_N5_AD8N_69	G32	FMC LA 第 15 路数据 N
FMC2_LA15_P	IO_L21P_T3L_N4_AD8P_69	H32	FMC LA 第 15 路数据 P
FMC2_LA16_N	IO_L23N_T3U_N9_69	E32	FMC LA 第 16 路数据 N
FMC2_LA16_P	IO_L23P_T3U_N8_69	F32	FMC LA 第 16 路数据 P
FMC2_LA17_CC_N	IO_L14N_T2L_N3_GC_A05_D21_65	AV28	FMC LA 第 17 路数据 (时钟) N
FMC2_LA17_CC_P	IO_L14P_T2L_N2_GC_A04_D20_65	AV27	FMC LA 第 17 路数据 (时钟) P
FMC2_LA18_CC_N	IO_L13N_T2L_N1_GC_QBC_A07_D23_65	AW26	FMC LA 第 18 路数据 (时钟) N
FMC2_LA18_CC_P	IO_L13P_T2L_N0_GC_QBC_A06_D22_65	AV26	FMC LA 第 18 路数据 (时钟) P

FMC2_LA19_N	IO_L6N_T0U_N11_AD6N_A21_65	BC27	FMC LA 第 19 路数据 N
FMC2_LA19_P	IO_L6P_T0U_N10_AD6P_A20_65	BC26	FMC LA 第 19 路数据 P
FMC2_LA20_N	IO_L15N_T2L_N5_AD11N_A03_D19_65	AU27	FMC LA 第 20 路数据 N
FMC2_LA20_P	IO_L15P_T2L_N4_AD11P_A02_D18_65	AU26	FMC LA 第 20 路数据 P
FMC2_LA21_N	IO_L8N_T1L_N3_AD5N_A17_65	BB27	FMC LA 第 21 路数据 N
FMC2_LA21_P	IO_L8P_T1L_N2_AD5P_A16_65	BB26	FMC LA 第 21 路数据 P
FMC2_LA22_N	IO_L10N_T1U_N7_QBC_AD4N_A13_D29_65	AY25	FMC LA 第 22 路数据 N
FMC2_LA22_P	IO_L10P_T1U_N6_QBC_AD4P_A12_D28_65	AW25	FMC LA 第 22 路数据 P
FMC2_LA23_N	IO_L11N_T1U_N9_GC_A11_D27_65	AY27	FMC LA 第 23 路数据 N
FMC2_LA23_P	IO_L11P_T1U_N8_GC_A10_D26_65	AY26	FMC LA 第 23 路数据 P
FMC2_LA24_N	IO_L17N_T2U_N9_AD10N_D15_65	AT27	FMC LA 第 24 路数据 N
FMC2_LA24_P	IO_L17P_T2U_N8_AD10P_D14_65	AR27	FMC LA 第 24 路数据 P
FMC2_LA25_N	IO_L18N_T2U_N11_AD2N_D13_65	AT28	FMC LA 第 25 路数据 N
FMC2_LA25_P	IO_L18P_T2U_N10_AD2P_D12_65	AR28	FMC LA 第 25 路数据 P
FMC2_LA26_N	IO_L7N_T1L_N1_QBC_AD13N_A19_65	BB25	FMC LA 第 26 路数据 N
FMC2_LA26_P	IO_L7P_T1L_N0_QBC_AD13P_A18_65	BA25	FMC LA 第 26 路数据 P
FMC2_LA27_N	IO_L9N_T1L_N5_AD12N_A15_D31_65	BA28	FMC LA 第 27 路数据 N
FMC2_LA27_P	IO_L9P_T1L_N4_AD12P_A14_D30_65	BA27	FMC LA 第 27 路数据 P
FMC2_LA28_N	IO_L16N_T2U_N7_QBC_AD3N_A01_D17_65	AT25	FMC LA 第 28 路数据 N
FMC2_LA28_P	IO_L16P_T2U_N6_QBC_AD3P_A00_D16_65	AR25	FMC LA 第 28 路数据 P
FMC2_LA29_N	IO_L3N_T0L_N5_AD15N_A27_65	BE28	FMC LA 第 29 路数据 N
FMC2_LA29_P	IO_L3P_T0L_N4_AD15P_A26_65	BD28	FMC LA 第 29 路数据 P
FMC2_LA30_N	IO_L24N_T3U_N11_DOUT_CSO_B	AL28	FMC LA 第 30 路数据 N

	_65		
FMC2_LA30_P	IO_L24P_T3U_N10_EMCCLK_65	AL27	FMC LA 第 30 路数据 P
FMC2_LA31_N	IO_L20N_T3L_N3_AD1N_D09_65	AP28	FMC LA 第 31 路数据 N
FMC2_LA31_P	IO_L20P_T3L_N2_AD1P_D08_65	AN28	FMC LA 第 31 路数据 P
FMC2_LA32_N	IO_L19N_T3L_N1_DBC_AD9N_D11_65	AP26	FMC LA 第 32 路数据 N
FMC2_LA32_P	IO_L19P_T3L_N0_DBC_AD9P_D10_65	AP25	FMC LA 第 32 路数据 P
FMC2_LA33_N	IO_L23N_T3U_N9_PERSTN1_I2C_SDA_65	AN27	FMC LA 第 33 路数据 N
FMC2_LA33_P	IO_L23P_T3U_N8_I2C_SCLK_65	AM27	FMC LA 第 33 路数据 P
FMC2_SCL	IO_T3U_N12_69	E31	FMC I2C 总线时钟
FMC2_SDA	IO_T1U_N12_69	P33	FMC I2C 总线数据
FMC2_HA00_CC_N	IO_L14N_T2L_N3_GC_70	D36	FMC HA 第 0 路数据 (时钟) N
FMC2_HA00_CC_P	IO_L14P_T2L_N2_GC_70	E36	FMC HA 第 0 路数据 (时钟) P
FMC2_HA01_CC_N	IO_L13N_T2L_N1_GC_QBC_70	C37	FMC HA 第 1 路数据 (时钟) N
FMC2_HA01_CC_P	IO_L13P_T2L_N0_GC_QBC_70	C36	FMC HA 第 1 路数据 (时钟) P
FMC2_HA02_N	IO_L18N_T2U_N11_AD2N_70	D35	FMC HA 第 2 路数据 N
FMC2_HA02_P	IO_L18P_T2U_N10_AD2P_70	E35	FMC HA 第 2 路数据 P
FMC2_HA03_N	IO_L3N_T0L_N5_AD15N_70	J36	FMC HA 第 3 路数据 N
FMC2_HA03_P	IO_L3P_T0L_N4_AD15P_70	J35	FMC HA 第 3 路数据 P
FMC2_HA04_N	IO_L2N_T0L_N3_70	F37	FMC HA 第 4 路数据 N
FMC2_HA04_P	IO_L2P_T0L_N2_70	G37	FMC HA 第 4 路数据 P
FMC2_HA05_N	IO_L4N_T0U_N7_DBC_AD7N_70	G36	FMC HA 第 5 路数据 N
FMC2_HA05_P	IO_L4P_T0U_N6_DBC_AD7P_70	H36	FMC HA 第 5 路数据 P
FMC2_HA06_N	IO_L5N_T0U_N9_AD14N_70	G34	FMC HA 第 6 路数据 N
FMC2_HA06_P	IO_L5P_T0U_N8_AD14P_70	H34	FMC HA 第 6 路数据 P
FMC2_HA07_N	IO_L1N_T0L_N1_DBC_70	H38	FMC HA 第 7 路数据 N
FMC2_HA07_P	IO_L1P_T0L_N0_DBC_70	H37	FMC HA 第 7 路数据 P
FMC2_HA08_N	IO_L21N_T3L_N5_AD8N_70	C33	FMC HA 第 8 路数据 N
FMC2_HA08_P	IO_L21P_T3L_N4_AD8P_70	D33	FMC HA 第 8 路数据 P

FMC2_HA09_N	IO_L16N_T2U_N7_QBC_AD3N_70	B37	FMC HA 第 9 路数据 N
FMC2_HA09_P	IO_L16P_T2U_N6_QBC_AD3P_70	B36	FMC HA 第 9 路数据 P
FMC2_HA10_N	IO_L17N_T2U_N9_AD10N_70	A35	FMC HA 第 10 路数据 N
FMC2_HA10_P	IO_L17P_T2U_N8_AD10P_70	B35	FMC HA 第 10 路数据 P
FMC2_HA11_N	IO_L15N_T2L_N5_AD11N_70	A38	FMC HA 第 11 路数据 N
FMC2_HA11_P	IO_L15P_T2L_N4_AD11P_70	A37	FMC HA 第 11 路数据 P
FMC2_HA12_N	IO_L20N_T3L_N3_AD1N_70	C34	FMC HA 第 12 路数据 N
FMC2_HA12_P	IO_L20P_T3L_N2_AD1P_70	D34	FMC HA 第 12 路数据 P
FMC2_HA13_N	IO_L6N_T0U_N11_AD6N_70	F35	FMC HA 第 13 路数据 N
FMC2_HA13_P	IO_L6P_T0U_N10_AD6P_70	F34	FMC HA 第 13 路数据 P
FMC2_HA14_N	IO_L8N_T1L_N3_AD5N_70	D39	FMC HA 第 14 路数据 N
FMC2_HA14_P	IO_L8P_T1L_N2_AD5P_70	E39	FMC HA 第 14 路数据 P
FMC2_HA15_N	IO_L23N_T3U_N9_70	B32	FMC HA 第 15 路数据 N
FMC2_HA15_P	IO_L23P_T3U_N8_70	C32	FMC HA 第 15 路数据 P
FMC2_HA16_N	IO_L19N_T3L_N1_DBC_AD9N_70	A34	FMC HA 第 16 路数据 N
FMC2_HA16_P	IO_L19P_T3L_N0_DBC_AD9P_70	B34	FMC HA 第 16 路数据 P
FMC2_HA17_CC_N	IO_L12N_T1U_N11_GC_70	C39	FMC HA 第 17 路数据(时钟) N
FMC2_HA17_CC_P	IO_L12P_T1U_N10_GC_70	C38	FMC HA 第 17 路数据(时钟) P
FMC2_HA18_N	IO_L7N_T1L_N1_QBC_AD13N_70	D40	FMC HA 第 18 路数据 N
FMC2_HA18_P	IO_L7P_T1L_N0_QBC_AD13P_70	E40	FMC HA 第 18 路数据 P
FMC2_HA19_N	IO_L24N_T3U_N11_70	C31	FMC HA 第 19 路数据 N
FMC2_HA19_P	IO_L24P_T3U_N10_70	D31	FMC HA 第 19 路数据 P
FMC2_HA20_N	IO_L22N_T3U_N7_DBC_AD0N_70	A33	FMC HA 第 20 路数据 N
FMC2_HA20_P	IO_L22P_T3U_N6_DBC_AD0P_70	A32	FMC HA 第 20 路数据 P
FMC2_HA21_N	IO_L11N_T1U_N9_GC_70	D38	FMC HA 第 21 路数据 N
FMC2_HA21_P	IO_L11P_T1U_N8_GC_70	E38	FMC HA 第 21 路数据 P
FMC2_HA22_N	IO_L9N_T1L_N5_AD12N_70	A40	FMC HA 第 22 路数据 N
FMC2_HA22_P	IO_L9P_T1L_N4_AD12P_70	B40	FMC HA 第 22 路数据 P
FMC2_HA23_N	IO_L10N_T1U_N7_QBC_AD4N_70	A39	FMC HA 第 23 路数据 N
FMC2_HA23_P	IO_L10P_T1U_N6_QBC_AD4P_70	B39	FMC HA 第 23 路数据 P
FMC2_DP0_M2C_P	MGTYRXP0_129	AA45	收发器数据 0 输入 P
FMC2_DP0_M2C_N	MGTYRXN0_129	AA46	收发器数据 0 输入 N
FMC2_DP1_M2C_P	MGTYRXP3_129	V43	收发器数据 1 输入 P

FMC2_DP1_M2C_N	MGTYRXN3_129	V44	收发器数据 1 输入 N
FMC2_DP2_M2C_P	MGTYRXP2_129	W45	收发器数据 2 输入 P
FMC2_DP2_M2C_N	MGTYRXN2_129	W46	收发器数据 2 输入 N
FMC2_DP3_M2C_P	MGTYRXP1_129	Y43	收发器数据 3 输入 P
FMC2_DP3_M2C_N	MGTYRXN1_129	Y44	收发器数据 3 输入 N
FMC2_DP4_M2C_P	MGTYRXP2_133	F45	收发器数据 4 输入 P
FMC2_DP4_M2C_N	MGTYRXN2_133	F46	收发器数据 4 输入 N
FMC2_DP5_M2C_P	MGTYRXP0_133	J45	收发器数据 5 输入 P
FMC2_DP5_M2C_N	MGTYRXN0_133	J46	收发器数据 5 输入 N
FMC2_DP6_M2C_P	MGTYRXP1_133	H43	收发器数据 6 输入 P
FMC2_DP6_M2C_N	MGTYRXN1_133	H44	收发器数据 6 输入 N
FMC2_DP7_M2C_P	MGTYRXP3_133	D45	收发器数据 7 输入 P
FMC2_DP7_M2C_N	MGTYRXN3_133	D46	收发器数据 7 输入 N
FMC2_DP8_M2C_P	MGTYRXP2_130	R45	收发器数据 8 输入 P
FMC2_DP8_M2C_N	MGTYRXN2_130	R46	收发器数据 8 输入 N
FMC2_DP9_M2C_P	MGTYRXP0_130	U45	收发器数据 9 输入 P
FMC2_DP9_M2C_N	MGTYRXN0_130	U46	收发器数据 9 输入 N
FMC2_DP10_M2C_P	MGTYRXP1_130	T43	收发器数据 10 输入 P
FMC2_DP10_M2C_N	MGTYRXN1_130	T44	收发器数据 10 输入 N
FMC2_DP11_M2C_P	MGTYRXP3_130	P43	收发器数据 11 输入 P
FMC2_DP11_M2C_N	MGTYRXN3_130	P44	收发器数据 11 输入 N
FMC2_DP12_M2C_P	MGTYRXP0_131	N45	收发器数据 12 输入 P
FMC2_DP12_M2C_N	MGTYRXN0_131	N46	收发器数据 12 输入 N
FMC2_DP13_M2C_P	MGTYRXP1_131	M43	收发器数据 13 输入 P
FMC2_DP13_M2C_N	MGTYRXN1_131	M44	收发器数据 13 输入 N
FMC2_DP14_M2C_P	MGTYRXP2_131	L45	收发器数据 14 输入 P
FMC2_DP14_M2C_N	MGTYRXN2_131	L46	收发器数据 14 输入 N
FMC2_DP15_M2C_P	MGTYRXP3_131	K43	收发器数据 15 输入 P
FMC2_DP15_M2C_N	MGTYRXN3_131	K44	收发器数据 15 输入 N
FMC2_DP0_C2M_P	MGTYTXP0_129	AA40	收发器数据 0 输出 P
FMC2_DP0_C2M_N	MGTYTXN0_129	AA41	收发器数据 0 输出 N
FMC2_DP1_C2M_P	MGTYTXP3_129	V38	收发器数据 1 输出 P
FMC2_DP1_C2M_N	MGTYTXN3_129	V39	收发器数据 1 输出 N
FMC2_DP2_C2M_P	MGTYTXP2_129	W40	收发器数据 2 输出 P
FMC2_DP2_C2M_N	MGTYTXN2_129	W41	收发器数据 2 输出 N

FMC2_DP3_C2M_P	MGTYTXP1_129	Y38	收发器数据 3 输出 P
FMC2_DP3_C2M_N	MGTYTXN1_129	Y39	收发器数据 3 输出 N
FMC2_DP4_C2M_P	MGTYTXP2_133	C42	收发器数据 4 输出 P
FMC2_DP4_C2M_N	MGTYTXN2_133	C43	收发器数据 4 输出 N
FMC2_DP5_C2M_P	MGTYTXP0_133	G40	收发器数据 5 输出 P
FMC2_DP5_C2M_N	MGTYTXN0_133	G41	收发器数据 5 输出 N
FMC2_DP6_C2M_P	MGTYTXP1_133	E42	收发器数据 6 输出 P
FMC2_DP6_C2M_N	MGTYTXN1_133	E43	收发器数据 6 输出 N
FMC2_DP7_C2M_P	MGTYTXP3_133	A42	收发器数据 7 输出 P
FMC2_DP7_C2M_N	MGTYTXN3_133	A43	收发器数据 7 输出 N
FMC2_DP8_C2M_P	MGTYTXP2_130	R40	收发器数据 8 输出 P
FMC2_DP8_C2M_N	MGTYTXN2_130	R41	收发器数据 8 输出 N
FMC2_DP9_C2M_P	MGTYTXP0_130	U40	收发器数据 9 输出 P
FMC2_DP9_C2M_N	MGTYTXN0_130	U41	收发器数据 9 输出 N
FMC2_DP10_C2M_P	MGTYTXP1_130	T38	收发器数据 10 输出 P
FMC2_DP10_C2M_N	MGTYTXN1_130	T39	收发器数据 10 输出 N
FMC2_DP11_C2M_P	MGTYTXP3_130	P38	收发器数据 11 输出 P
FMC2_DP11_C2M_N	MGTYTXN3_130	P39	收发器数据 11 输出 N
FMC2_DP12_C2M_P	MGTYTXP0_131	N40	收发器数据 12 输出 P
FMC2_DP12_C2M_N	MGTYTXN0_131	N41	收发器数据 12 输出 N
FMC2_DP13_C2M_P	MGTYTXP1_131	M38	收发器数据 13 输出 P
FMC2_DP13_C2M_N	MGTYTXN1_131	M39	收发器数据 13 输出 N
FMC2_DP14_C2M_P	MGTYTXP2_131	L40	收发器数据 14 输出 P
FMC2_DP14_C2M_N	MGTYTXN2_131	L41	收发器数据 14 输出 N
FMC2_DP15_C2M_P	MGTYTXP3_131	J40	收发器数据 15 输出 P
FMC2_DP15_C2M_N	MGTYTXN3_131	J41	收发器数据 15 输出 N
FMC2_GBT1_0_M2C_C_N	MGTREFCLK1N_129	AA37	收发器参考时钟 1 输入 N
FMC2_GBT1_0_M2C_C_P	MGTREFCLK1P_129	AA36	收发器参考时钟 1 输入 P
FMC2_GBT1_1_M2C_C_N	MGTREFCLK1N_133	K39	收发器参考时钟 1 输入 N
FMC2_GBT1_1_M2C_C_P	MGTREFCLK1P_133	K38	收发器参考时钟 1 输入 P
FMC2_GBT1_2_M2C_C_N	MGTREFCLK1N_130	U37	收发器参考时钟 1 输入 N
FMC2_GBT1_2_M2C_C_P	MGTREFCLK1P_130	U36	收发器参考时钟 1 输入 P
FMC2_GBT1_3_M2C_C_N	MGTREFCLK1N_131	N37	收发器参考时钟 1 输入 N
FMC2_GBT1_3_M2C_C_P	MGTREFCLK1P_131	N36	收发器参考时钟 1 输入 P
FMC2_GBT0_0_M2C_C_N	MGTREFCLK0N_129	AC37	收发器参考时钟 0 输入 N

FMC2_GBT0_0_M2C_C_P	MGTREFCLK0P_129	AC36	收发器参考时钟 0 输入 P
FMC2_GBTCLK2_M2C_C_N	MGTREFCLK0N_130	W37	收发器参考时钟 0 输入 N
FMC2_GBTCLK2_M2C_C_P	MGTREFCLK0P_130	W36	收发器参考时钟 0 输入 P
FMC2_GBTCLK3_M2C_C_N	MGTREFCLK0N_131	R37	收发器参考时钟 0 输入 N
FMC2_GBTCLK3_M2C_C_P	MGTREFCLK0P_131	R36	收发器参考时钟 0 输入 P
FMC2_H_PRSENT_M2C_B	IO_T3U_N12_70	B31	复位管脚
FMC2_L_PRSENT_M2C_B	IO_T2U_N12_69	K34	复位管脚
FMC2_PG_C2M	IO_L9N_T1L_N5_AD12N_69	N34	电源状态管脚
FMC2_PG_M2C	IO_L9P_T1L_N4_AD12P_69	P34	电源状态管脚
FMC2_REFCLK_C2M_N	IO_L8N_T1L_N3_AD5N_69	R32	参考时钟 1 输出 N
FMC2_REFCLK_C2M_P	IO_L8P_T1L_N2_AD5P_69	R31	参考时钟 1 输出 P
FMC2_REFCLK_M2C_N	IO_L12N_T1U_N11_GC_69	N33	参考时钟 1 输入 N
FMC2_REFCLK_M2C_P	IO_L12P_T1U_N10_GC_69	N32	参考时钟 1 输入 P
FMC2_SYNC_C2M_N	IO_L24N_T3U_N11_69	E33	C2M SYNC 输出 N
FMC2_SYNC_C2M_P	IO_L24P_T3U_N10_69	F33	C2M SYNC 输出 P
FMC2_SYNC_M2C_N	IO_L7N_T1L_N1_QBC_AD13N_69	P30	M2C SYNC 输入 N
FMC2_SYNC_M2C_P	IO_L7P_T1L_N0_QBC_AD13P_69	R30	M2C SYNC 输入 P
FMC2_GBT0_1_M2C_C_N	MGTREFCLK0N_133	L37	参考时钟 0 输入 N
FMC2_GBT0_1_M2C_C_P	MGTREFCLK0P_133	L36	参考时钟 0 输入 P

FMC3+扩展口包含 34 对 LA 信号差分对、2 对时钟信号、分别连接 FPGA 芯片 BANK71 和 BANK74；电平标准默认为 1.8V。16 路高速 GTY 收发信号连接 FPGA 芯片 BANK228~BANK233 的 IO 上。

FPGA 和 FMC3+连接器的原理图如图 2-6-3 所示：

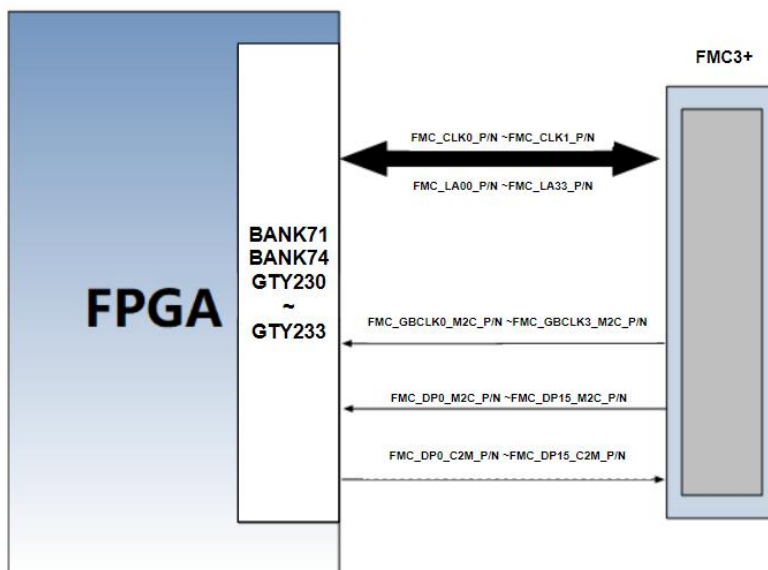


图 2-6-3 FMC3+连接图

FMC3+ (J7) 连接器引脚分配如下:

信号名	FPGA 引脚名	FPGA 引脚号	备注
FMC3_CLK0_N	IO_L12N_T1U_N11_GC_71	J29	FMC 第 0 路输入参考时钟 N
FMC3_CLK0_P	IO_L12P_T1U_N10_GC_71	J28	FMC 第 0 路输入参考时钟 P
FMC3_CLK1_N	IO_L11N_T1U_N9_GC_74	H23	FMC 第 1 路输入参考时钟 N
FMC3_CLK1_P	IO_L11P_T1U_N8_GC_74	J23	FMC 第 1 路输入参考时钟 P
FMC3_LA00_CC_N	IO_L14N_T2L_N3_GC_71	G27	FMC LA 第 0 路数据 (时钟) N
FMC3_LA00_CC_P	IO_L14P_T2L_N2_GC_71	G26	FMC LA 第 0 路数据 (时钟) P
FMC3_LA01_CC_N	IO_L13N_T2L_N1_GC_QBC_71	H26	FMC LA 第 1 路数据 (时钟) N
FMC3_LA01_CC_P	IO_L13P_T2L_N0_GC_QBC_71	J26	FMC LA 第 1 路数据 (时钟) P
FMC3_LA02_N	IO_L15N_T2L_N5_AD11N_71	G29	FMC LA 第 2 路数据 N
FMC3_LA02_P	IO_L15P_T2L_N4_AD11P_71	H29	FMC LA 第 2 路数据 P
FMC3_LA03_N	IO_L24N_T3U_N11_71	A30	FMC LA 第 3 路数据 N
FMC3_LA03_P	IO_L24P_T3U_N10_71	B30	FMC LA 第 3 路数据 P

FMC3_LA04_N	IO_L16N_T2U_N7_QBC_AD3N_71	F29	FMC LA 第 4 路数据 N
FMC3_LA04_P	IO_L16P_T2U_N6_QBC_AD3P_71	F28	FMC LA 第 4 路数据 P
FMC3_LA05_N	IO_L17N_T2U_N9_AD10N_71	E27	FMC LA 第 5 路数据 N
FMC3_LA05_P	IO_L17P_T2U_N8_AD10P_71	F27	FMC LA 第 5 路数据 P
FMC3_LA06_N	IO_L4N_T0U_N7_DBC_AD7N_71	N29	FMC LA 第 6 路数据 P
FMC3_LA06_P	IO_L4P_T0U_N6_DBC_AD7P_71	P29	FMC LA 第 6 路数据 P
FMC3_LA07_N	IO_L2N_T0L_N3_71	R27	FMC LA 第 7 路数据 N
FMC3_LA07_P	IO_L2P_T0L_N2_71	T27	FMC LA 第 7 路数据 P
FMC3_LA08_N	IO_L5N_T0U_N9_AD14N_71	N28	FMC LA 第 8 路数据 N
FMC3_LA08_P	IO_L5P_T0U_N8_AD14P_71	P28	FMC LA 第 8 路数据 P
FMC3_LA09_N	IO_L3N_T0L_N5_AD15N_71	R26	FMC LA 第 9 路数据 N
FMC3_LA09_P	IO_L3P_T0L_N4_AD15P_71	T26	FMC LA 第 9 路数据 P
FMC3_LA10_N	IO_L18N_T2U_N11_AD2N_71	D28	FMC LA 第 10 路数据 N
FMC3_LA10_P	IO_L18P_T2U_N10_AD2P_71	E28	FMC LA 第 10 路数据 P
FMC3_LA11_N	IO_L23N_T3U_N9_71	A29	FMC LA 第 11 路数据 N
FMC3_LA11_P	IO_L23P_T3U_N8_71	B29	FMC LA 第 11 路数据 P
FMC3_LA12_N	IO_L1N_T0L_N1_DBC_71	R28	FMC LA 第 12 路数据 N
FMC3_LA12_P	IO_L1P_T0L_N0_DBC_71	T28	FMC LA 第 12 路数据 P
FMC3_LA13_N	IO_L22N_T3U_N7_DBC_AD0N_71	A28	FMC LA 第 13 路数据 N
FMC3_LA13_P	IO_L22P_T3U_N6_DBC_AD0P_71	A27	FMC LA 第 13 路数据 P
FMC3_LA14_N	IO_L19N_T3L_N1_DBC_AD9N_71	B27	FMC LA 第 14 路数据 N
FMC3_LA14_P	IO_L19P_T3L_N0_DBC_AD9P_71	C27	FMC LA 第 14 路数据 P
FMC3_LA15_N	IO_L21N_T3L_N5_AD8N_71	D30	FMC LA 第 15 路数据 N
FMC3_LA15_P	IO_L21P_T3L_N4_AD8P_71	E30	FMC LA 第 15 路数据 P
FMC3_LA16_N	IO_L20N_T3L_N3_AD1N_71	C29	FMC LA 第 16 路数据 N
FMC3_LA16_P	IO_L20P_T3L_N2_AD1P_71	D29	FMC LA 第 16 路数据 P
FMC3_LA17_CC_N	IO_L14N_T2L_N3_GC_74	F23	FMC LA 第 17 路数据(时钟) N
FMC3_LA17_CC_P	IO_L14P_T2L_N2_GC_74	F24	FMC LA 第 17 路数据(时钟) P
FMC3_LA18_CC_N	IO_L13N_T2L_N1_GC_QBC_74	G24	FMC LA 第 18 路数据(时钟) N
FMC3_LA18_CC_P	IO_L13P_T2L_N0_GC_QBC_74	G25	FMC LA 第 18 路数据(时钟) P
FMC3_LA19_N	IO_L10N_T1U_N7_QBC_AD4N_74	J25	FMC LA 第 19 路数据 N

FMC3_LA19_P	IO_L10P_T1U_N6_QBC_AD4P_74	K25	FMC LA 第 19 路数据 P
FMC3_LA20_N	IO_L15N_T2L_N5_AD11N_74	F22	FMC LA 第 20 路数据 N
FMC3_LA20_P	IO_L15P_T2L_N4_AD11P_74	G22	FMC LA 第 20 路数据 P
FMC3_LA21_N	IO_L4N_T0U_N7_DBC_AD7N_74	N24	FMC LA 第 21 路数据 N
FMC3_LA21_P	IO_L4P_T0U_N6_DBC_AD7P_74	P24	FMC LA 第 21 路数据 P
FMC3_LA22_N	IO_L3N_T0L_N5_AD15N_74	N23	FMC LA 第 22 路数据 N
FMC3_LA22_P	IO_L3P_T0L_N4_AD15P_74	P23	FMC LA 第 22 路数据 P
FMC3_LA23_N	IO_L2N_T0L_N3_74	M22	FMC LA 第 23 路数据 N
FMC3_LA23_P	IO_L2P_T0L_N2_74	N22	FMC LA 第 23 路数据 P
FMC3_LA24_N	IO_L16N_T2U_N7_QBC_AD3N_74	E22	FMC LA 第 24 路数据 N
FMC3_LA24_P	IO_L16P_T2U_N6_QBC_AD3P_74	E23	FMC LA 第 24 路数据 P
FMC3_LA25_N	IO_L18N_T2U_N11_AD2N_74	D25	FMC LA 第 25 路数据 N
FMC3_LA25_P	IO_L18P_T2U_N10_AD2P_74	E25	FMC LA 第 25 路数据 P
FMC3_LA26_N	IO_L1N_T0L_N1_DBC_74	P21	FMC LA 第 26 路数据 N
FMC3_LA26_P	IO_L1P_T0L_N0_DBC_74	R21	FMC LA 第 26 路数据 P
FMC3_LA27_N	IO_L5N_T0U_N9_AD14N_74	M24	FMC LA 第 27 路数据 N
FMC3_LA27_P	IO_L5P_T0U_N8_AD14P_74	M25	FMC LA 第 27 路数据 P
FMC3_LA28_N	IO_L17N_T2U_N9_AD10N_74	D23	FMC LA 第 28 路数据 N
FMC3_LA28_P	IO_L17P_T2U_N8_AD10P_74	D24	FMC LA 第 28 路数据 P
FMC3_LA29_N	IO_L19N_T3L_N1_DBC_AD9N_74	B22	FMC LA 第 29 路数据 N
FMC3_LA29_P	IO_L19P_T3L_N0_DBC_AD9P_74	C22	FMC LA 第 29 路数据 P
FMC3_LA30_N	IO_L21N_T3L_N5_AD8N_74	B26	FMC LA 第 30 路数据 N
FMC3_LA30_P	IO_L21P_T3L_N4_AD8P_74	C26	FMC LA 第 30 路数据 P
FMC3_LA31_N	IO_L23N_T3U_N9_74	A24	FMC LA 第 31 路数据 N
FMC3_LA31_P	IO_L23P_T3U_N8_74	B24	FMC LA 第 31 路数据 P
FMC3_LA32_N	IO_L20N_T3L_N3_AD1N_74	C23	FMC LA 第 32 路数据 N
FMC3_LA32_P	IO_L20P_T3L_N2_AD1P_74	C24	FMC LA 第 32 路数据 P
FMC3_LA33_N	IO_L22N_T3U_N7_DBC_AD0N_74	A22	FMC LA 第 33 路数据 N
FMC3_LA33_P	IO_L22P_T3U_N6_DBC_AD0P_74	A23	FMC LA 第 33 路数据 P
FMC3_SCL	IO_L24P_T3U_N10_74	B25	FMC I2C 总线时钟
FMC3_SDA	IO_L24N_T3U_N11_74	A25	FMC I2C 总线数据
FMC3_DP0_M2C_P	MGTYRXP2_233	C4	收发器数据 0 输入 P
FMC3_DP0_M2C_N	MGTYRXN2_233	C3	收发器数据 0 输入 N
FMC3_DP1_M2C_P	MGTYRXP1_233	D2	收发器数据 1 输入 P
FMC3_DP1_M2C_N	MGTYRXN1_233	D1	收发器数据 1 输入 N

FMC3_DP2_M2C_P	MGTYRXP0_233	E4	收发器数据 2 输入 P
FMC3_DP2_M2C_N	MGTYRXN0_233	E3	收发器数据 2 输入 N
FMC3_DP3_M2C_P	MGTYRXP3_233	A5	收发器数据 3 输入 P
FMC3_DP3_M2C_N	MGTYRXN3_233	A4	收发器数据 3 输入 N
FMC3_DP4_M2C_P	MGTYRXP0_230	U4	收发器数据 4 输入 P
FMC3_DP4_M2C_N	MGTYRXN0_230	U3	收发器数据 4 输入 N
FMC3_DP5_M2C_P	MGTYRXP2_230	R4	收发器数据 5 输入 P
FMC3_DP5_M2C_N	MGTYRXN2_230	R3	收发器数据 5 输入 N
FMC3_DP6_M2C_P	MGTYRXP1_230	T2	收发器数据 6 输入 P
FMC3_DP6_M2C_N	MGTYRXN1_230	T1	收发器数据 6 输入 N
FMC3_DP7_M2C_P	MGTYRXP3_230	P2	收发器数据 7 输入 P
FMC3_DP7_M2C_N	MGTYRXN3_230	P1	收发器数据 7 输入 N
FMC3_DP8_M2C_P	MGTYRXP1_232	H2	收发器数据 8 输入 P
FMC3_DP8_M2C_N	MGTYRXN1_232	H1	收发器数据 8 输入 N
FMC3_DP9_M2C_P	MGTYRXP3_232	F2	收发器数据 9 输入 P
FMC3_DP9_M2C_N	MGTYRXN3_232	F1	收发器数据 9 输入 N
FMC3_DP10_M2C_P	MGTYRXP2_232	G4	收发器数据 10 输入 P
FMC3_DP10_M2C_N	MGTYRXN2_232	G3	收发器数据 10 输入 N
FMC3_DP11_M2C_P	MGTYRXP0_232	J4	收发器数据 11 输入 P
FMC3_DP11_M2C_N	MGTYRXN0_232	J3	收发器数据 11 输入 N
FMC3_DP12_M2C_P	MGTYRXP3_231	K2	收发器数据 12 输入 P
FMC3_DP12_M2C_N	MGTYRXN3_231	K1	收发器数据 12 输入 N
FMC3_DP13_M2C_P	MGTYRXP2_231	L4	收发器数据 13 输入 P
FMC3_DP13_M2C_N	MGTYRXN2_231	L3	收发器数据 13 输入 N
FMC3_DP14_M2C_P	MGTYRXP1_231	M2	收发器数据 14 输入 P
FMC3_DP14_M2C_N	MGTYRXN1_231	M1	收发器数据 14 输入 N
FMC3_DP15_M2C_P	MGTYRXP0_231	N4	收发器数据 15 输入 P
FMC3_DP15_M2C_N	MGTYRXN0_231	N3	收发器数据 15 输入 N
FMC3_DP0_C2M_P	MGTYTXP2_233	C9	收发器数据 0 输出 P
FMC3_DP0_C2M_N	MGTYTXN2_233	C8	收发器数据 0 输出 N
FMC3_DP1_C2M_P	MGTYTXP1_233	D7	收发器数据 1 输出 P
FMC3_DP1_C2M_N	MGTYTXN1_233	D6	收发器数据 1 输出 N
FMC3_DP2_C2M_P	MGTYTXP0_233	E9	收发器数据 2 输出 P
FMC3_DP2_C2M_N	MGTYTXN0_233	E8	收发器数据 2 输出 N
FMC3_DP3_C2M_P	MGTYTXP3_233	A9	收发器数据 3 输出 P

FMC3_DP3_C2M_N	MGTYTXN3_233	A8	收发器数据 3 输出 N
FMC3_DP4_C2M_P	MGTYTXP0_230	U9	收发器数据 4 输出 P
FMC3_DP4_C2M_N	MGTYTXN0_230	U8	收发器数据 4 输出 N
FMC3_DP5_C2M_P	MGTYTXP2_230	R9	收发器数据 5 输出 P
FMC3_DP5_C2M_N	MGTYTXN2_230	R8	收发器数据 5 输出 N
FMC3_DP6_C2M_P	MGTYTXP1_230	T7	收发器数据 6 输出 P
FMC3_DP6_C2M_N	MGTYTXN1_230	T6	收发器数据 6 输出 N
FMC3_DP7_C2M_P	MGTYTXP3_230	P7	收发器数据 7 输出 P
FMC3_DP7_C2M_N	MGTYTXN3_230	P6	收发器数据 7 输出 N
FMC3_DP8_C2M_P	MGTYTXP1_232	H7	收发器数据 8 输出 P
FMC3_DP8_C2M_N	MGTYTXN1_232	H6	收发器数据 8 输出 N
FMC3_DP9_C2M_P	MGTYTXP3_232	F7	收发器数据 9 输出 P
FMC3_DP9_C2M_N	MGTYTXN3_232	F6	收发器数据 9 输出 N
FMC3_DP10_C2M_P	MGTYTXP2_232	G9	收发器数据 10 输出 P
FMC3_DP10_C2M_N	MGTYTXN2_232	G8	收发器数据 10 输出 N
FMC3_DP11_C2M_P	MGTYTXP0_232	J9	收发器数据 11 输出 P
FMC3_DP11_C2M_N	MGTYTXN0_232	J8	收发器数据 11 输出 N
FMC3_DP12_C2M_P	MGTYTXP3_231	K7	收发器数据 12 输出 P
FMC3_DP12_C2M_N	MGTYTXN3_231	K6	收发器数据 12 输出 N
FMC3_DP13_C2M_P	MGTYTXP2_231	L9	收发器数据 13 输出 P
FMC3_DP13_C2M_N	MGTYTXN2_231	L8	收发器数据 13 输出 N
FMC3_DP14_C2M_P	MGTYTXP1_231	M7	收发器数据 14 输出 P
FMC3_DP14_C2M_N	MGTYTXN1_231	M6	收发器数据 14 输出 N
FMC3_DP15_C2M_P	MGTYTXP0_231	N9	收发器数据 15 输出 P
FMC3_DP15_C2M_N	MGTYTXN0_231	N8	收发器数据 15 输出 N
FMC3_GBT1_0_M2C_C_N	MGTREFCLK1N_232	F10	收发器参考时钟 1 输入 N
FMC3_GBT1_0_M2C_C_P	MGTREFCLK1P_232	F11	收发器参考时钟 1 输入 P
FMC3_GBT1_1_M2C_C_N	MGTREFCLK1N_233	B10	收发器参考时钟 1 输入 N
FMC3_GBT1_1_M2C_C_P	MGTREFCLK1P_233	B11	收发器参考时钟 1 输入 P
FMC3_GBT1_2_M2C_C_N	MGTREFCLK1N_230	P10	收发器参考时钟 1 输入 N
FMC3_GBT1_2_M2C_C_P	MGTREFCLK1P_230	P11	收发器参考时钟 1 输入 P
FMC3_GBT1_3_M2C_C_N	MGTREFCLK1N_231	K10	收发器参考时钟 1 输入 N
FMC3_GBT1_3_M2C_C_P	MGTREFCLK1P_231	K11	收发器参考时钟 1 输入 P
FMC3_GBT0_0_M2C_C_N	MGTREFCLK0N_233	D10	收发器参考时钟 0 输入 N
FMC3_GBT0_0_M2C_C_P	MGTREFCLK0P_233	D11	收发器参考时钟 0 输入 P

FMC3_GBTCLK2_M2C_C_N	MGTREFCLK0N_232	H10	收发器参考时钟 0 输入 N
FMC3_GBTCLK2_M2C_C_P	MGTREFCLK0P_232	H11	收发器参考时钟 0 输入 P
FMC3_GBTCLK3_M2C_C_N	MGTREFCLK0N_231	M10	收发器参考时钟 0 输入 N
FMC3_GBTCLK3_M2C_C_P	MGTREFCLK0P_231	M11	收发器参考时钟 0 输入 P
FMC3_H_PRSENT_M2C_B	IO_T3U_N12_74	D26	复位管脚
FMC3_L_PRSENT_M2C_B	IO_T3U_N12_71	C28	复位管脚
FMC3_PG_C2M	IO_T2U_N12_74	F25	电源状态管脚
FMC3_PG_M2C	IO_T2U_N12_71	E26	电源状态管脚
FMC3_REFCLK_C2M_N	IO_L8N_T1L_N3_AD5N_71	K28	参考时钟 1 输出 N
FMC3_REFCLK_C2M_P	IO_L8P_T1L_N2_AD5P_71	L28	参考时钟 1 输出 P
FMC3_REFCLK_M2C_N	IO_L11N_T1U_N9_GC_71	H28	参考时钟 1 输入 N
FMC3_REFCLK_M2C_P	IO_L11P_T1U_N8_GC_71	H27	参考时钟 1 输入 P
FMC3_SYNC_C2M_N	IO_L7N_T1L_N1_QBC_AD13N_71	L29	C2M SYNC 输出 N
FMC3_SYNC_C2M_P	IO_L7P_T1L_N0_QBC_AD13P_71	M29	C2M SYNC 输出 P
FMC3_SYNC_M2C_N	IO_L10N_T1U_N7_QBC_AD4N_71	K27	M2C SYNC 输入 N
FMC3_SYNC_M2C_P	IO_L10P_T1U_N6_QBC_AD4P_71	K26	M2C SYNC 输入 P
FMC3_GBT0_1_M2C_C_N	MGTREFCLK0N_230	T10	收发器参考时钟 0 输入 N
FMC3_GBT0_1_M2C_C_P	MGTREFCLK0P_230	T11	收发器参考时钟 0 输入 P

FMC4+扩展口包含 34 对 LA 信号差分对、2 对时钟信号、分别连接 FPGA 芯片 BANK71 和 BANK72；电平标准默认为 1.8V。16 路高速 GTY 收发信号连接 FPGA 芯片 BANK225~BANK228 的 IO 上。

FPGA 和 FMC4+连接器的原理图如图 2-6-4 所示：

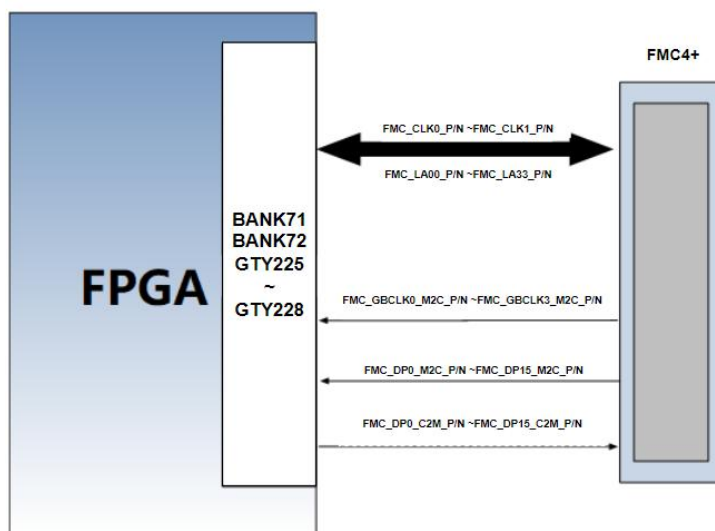


图 2-6-4 FMC4+连接图

FMC4+ (J23) 连接器引脚分配如下:

信号名	FPGA 引脚名	FPGA 引脚号	备注
FMC4_CLK0_N	IO_L12N_T1U_N11_GC_73	J19	FMC 第 0 路输入参考时钟 N
FMC4_CLK0_P	IO_L12P_T1U_N10_GC_73	J20	FMC 第 0 路输入参考时钟 P
FMC4_CLK1_N	IO_L12N_T1U_N11_GC_72	J15	FMC 第 1 路输入参考时钟 N
FMC4_CLK1_P	IO_L12P_T1U_N10_GC_72	J16	FMC 第 1 路输入参考时钟 P
FMC4_LA00_CC_N	IO_L14N_T2L_N3_GC_73	G19	FMC LA 第 0 路数据 (时钟) N
FMC4_LA00_CC_P	IO_L14P_T2L_N2_GC_73	G20	FMC LA 第 0 路数据 (时钟) P
FMC4_LA01_CC_N	IO_L13N_T2L_N1_GC_QBC_73	H18	FMC LA 第 1 路数据 (时钟) N
FMC4_LA01_CC_P	IO_L13P_T2L_N0_GC_QBC_73	H19	FMC LA 第 1 路数据 (时钟) P
FMC4_LA02_N	IO_L17N_T2U_N9_AD10N_73	E20	FMC LA 第 2 路数据 N
FMC4_LA02_P	IO_L17P_T2U_N8_AD10P_73	E21	FMC LA 第 2 路数据 P
FMC4_LA03_N	IO_L10N_T1U_N7_QBC_AD4N_73	H21	FMC LA 第 3 路数据 N
FMC4_LA03_P	IO_L10P_T1U_N6_QBC_AD4P_73	J21	FMC LA 第 3 路数据 P
FMC4_LA04_N	IO_L15N_T2L_N5_AD11N_73	F19	FMC LA 第 4 路数据 N
FMC4_LA04_P	IO_L15P_T2L_N4_AD11P_73	F20	FMC LA 第 4 路数据 P
FMC4_LA05_N	IO_L16N_T2U_N7_QBC_AD3N_73	E17	FMC LA 第 5 路数据 N
FMC4_LA05_P	IO_L16P_T2U_N6_QBC_AD3P_73	E18	FMC LA 第 5 路数据 P
FMC4_LA06_N	IO_L21N_T3L_N5_AD8N_73	B21	FMC LA 第 6 路数据 P
FMC4_LA06_P	IO_L21P_T3L_N4_AD8P_73	C21	FMC LA 第 6 路数据 P
FMC4_LA07_N	IO_L23N_T3U_N9_73	A19	FMC LA 第 7 路数据 N
FMC4_LA07_P	IO_L23P_T3U_N8_73	B19	FMC LA 第 7 路数据 P
FMC4_LA08_N	IO_L20N_T3L_N3_AD1N_73	D20	FMC LA 第 8 路数据 N
FMC4_LA08_P	IO_L20P_T3L_N2_AD1P_73	D21	FMC LA 第 8 路数据 P
FMC4_LA09_N	IO_L22N_T3U_N7_DBC_AD0	C18	FMC LA 第 9 路数据 N

	N_73		
FMC4_LA09_P	IO_L22P_T3U_N6_DBC_AD0 P_73	D18	FMC LA 第 9 路数据 P
FMC4_LA10_N	IO_L18N_T2U_N11_AD2N_7 3	F17	FMC LA 第 10 路数据 N
FMC4_LA10_P	IO_L18P_T2U_N10_AD2P_73	F18	FMC LA 第 10 路数据 P
FMC4_LA11_N	IO_L5N_T0U_N9_AD14N_73	P20	FMC LA 第 11 路数据 N
FMC4_LA11_P	IO_L5P_T0U_N8_AD14P_73	R20	FMC LA 第 11 路数据 P
FMC4_LA12_N	IO_L19N_T3L_N1_DBC_AD9 N_73	C19	FMC LA 第 12 路数据 N
FMC4_LA12_P	IO_L19P_T3L_N0_DBC_AD9 P_73	D19	FMC LA 第 12 路数据 P
FMC4_LA13_N	IO_L2N_T0L_N3_73	N18	FMC LA 第 13 路数据 N
FMC4_LA13_P	IO_L2P_T0L_N2_73	P18	FMC LA 第 13 路数据 P
FMC4_LA14_N	IO_L1N_T0L_N1_DBC_73	M17	FMC LA 第 14 路数据 N
FMC4_LA14_P	IO_L1P_T0L_N0_DBC_73	N17	FMC LA 第 14 路数据 P
FMC4_LA15_N	IO_L3N_T0L_N5_AD15N_73	M19	FMC LA 第 15 路数据 N
FMC4_LA15_P	IO_L3P_T0L_N4_AD15P_73	M20	FMC LA 第 15 路数据 P
FMC4_LA16_N	IO_L4N_T0U_N7_DBC_AD7 N_73	N19	FMC LA 第 16 路数据 N
FMC4_LA16_P	IO_L4P_T0U_N6_DBC_AD7P _73	P19	FMC LA 第 16 路数据 P
FMC4_LA17_CC_N	IO_L14N_T2L_N3_GC_72	F15	FMC LA 第 17 路数据(时钟) N
FMC4_LA17_CC_P	IO_L14P_T2L_N2_GC_72	G15	FMC LA 第 17 路数据(时钟) P
FMC4_LA18_CC_N	IO_L13N_T2L_N1_GC_QBC_ 72	F14	FMC LA 第 18 路数据(时钟) N
FMC4_LA18_CC_P	IO_L13P_T2L_N0_GC_QBC_7 2	G14	FMC LA 第 18 路数据(时钟) P
FMC4_LA19_N	IO_L11N_T1U_N9_GC_72	H14	FMC LA 第 19 路数据 N
FMC4_LA19_P	IO_L11P_T1U_N8_GC_72	J14	FMC LA 第 19 路数据 P
FMC4_LA20_N	IO_L16N_T2U_N7_QBC_AD3 N_72	G16	FMC LA 第 20 路数据 N
FMC4_LA20_P	IO_L16P_T2U_N6_QBC_AD3	G17	FMC LA 第 20 路数据 P

	P_72		
FMC4_LA21_N	IO_L5N_T0U_N9_AD14N_72	L14	FMC LA 第 21 路数据 N
FMC4_LA21_P	IO_L5P_T0U_N8_AD14P_72	M14	FMC LA 第 21 路数据 P
FMC4_LA22_N	IO_L3N_T0L_N5_AD15N_72	P15	FMC LA 第 22 路数据 N
FMC4_LA22_P	IO_L3P_T0L_N4_AD15P_72	R15	FMC LA 第 22 路数据 P
FMC4_LA23_N	IO_L4N_T0U_N7_DBC_AD7 N_72	P16	FMC LA 第 23 路数据 N
FMC4_LA23_P	IO_L4P_T0U_N6_DBC_AD7P _72	R16	FMC LA 第 23 路数据 P
FMC4_LA24_N	IO_L17N_T2U_N9_AD10N_7 2	D15	FMC LA 第 24 路数据 N
FMC4_LA24_P	IO_L17P_T2U_N8_AD10P_72	E15	FMC LA 第 24 路数据 P
FMC4_LA25_N	IO_L9N_T1L_N5_AD12N_72	H13	FMC LA 第 25 路数据 N
FMC4_LA25_P	IO_L9P_T1L_N4_AD12P_72	J13	FMC LA 第 25 路数据 P
FMC4_LA26_N	IO_L1N_T0L_N1_DBC_72	N13	FMC LA 第 26 路数据 N
FMC4_LA26_P	IO_L1P_T0L_N0_DBC_72	P13	FMC LA 第 26 路数据 P
FMC4_LA27_N	IO_L2N_T0L_N3_72	N14	FMC LA 第 27 路数据 N
FMC4_LA27_P	IO_L2P_T0L_N2_72	P14	FMC LA 第 27 路数据 P
FMC4_LA28_N	IO_L15N_T2L_N5_AD11N_7 2	E13	FMC LA 第 28 路数据 N
FMC4_LA28_P	IO_L15P_T2L_N4_AD11P_72	F13	FMC LA 第 28 路数据 P
FMC4_LA29_N	IO_L19N_T3L_N1_DBC_AD9 N_72	C13	FMC LA 第 29 路数据 N
FMC4_LA29_P	IO_L19P_T3L_N0_DBC_AD9 P_72	D13	FMC LA 第 29 路数据 P
FMC4_LA30_N	IO_L21N_T3L_N5_AD8N_72	A13	FMC LA 第 30 路数据 N
FMC4_LA30_P	IO_L21P_T3L_N4_AD8P_72	A14	FMC LA 第 30 路数据 P
FMC4_LA31_N	IO_L20N_T3L_N3_AD1N_72	B14	FMC LA 第 31 路数据 N
FMC4_LA31_P	IO_L20P_T3L_N2_AD1P_72	C14	FMC LA 第 31 路数据 P
FMC4_LA32_N	IO_L23N_T3U_N9_72	B16	FMC LA 第 32 路数据 N
FMC4_LA32_P	IO_L23P_T3U_N8_72	C16	FMC LA 第 32 路数据 P
FMC4_LA33_N	IO_L22N_T3U_N7_DBC_AD0 N_72	A15	FMC LA 第 33 路数据 N
FMC4_LA33_P	IO_L22P_T3U_N6_DBC_AD0 P_72	B15	FMC LA 第 33 路数据 P

FMC4_SCL	IO_L24P_T3U_N10_73	B20	FMC I2C 总线时钟
FMC4_SDA	IO_T3U_N12_73	A18	FMC I2C 总线数据
FMC4_DP0_M2C_P	MGTYRXP2_228	AC4	收发器数据 0 输入 P
FMC4_DP0_M2C_N	MGTYRXN2_228	AC3	收发器数据 0 输入 N
FMC4_DP1_M2C_P	MGTYRXP0_228	AE4	收发器数据 1 输入 P
FMC4_DP1_M2C_N	MGTYRXN0_228	AE3	收发器数据 1 输入 N
FMC4_DP2_M2C_P	MGTYRXP1_228	AD2	收发器数据 2 输入 P
FMC4_DP2_M2C_N	MGTYRXN1_228	AD1	收发器数据 2 输入 N
FMC4_DP3_M2C_P	MGTYRXP3_228	AB2	收发器数据 3 输入 P
FMC4_DP3_M2C_N	MGTYRXN3_228	AB1	收发器数据 3 输入 N
FMC4_DP4_M2C_P	MGTYRXP2_225	AR4	收发器数据 4 输入 P
FMC4_DP4_M2C_N	MGTYRXN2_225	AR3	收发器数据 4 输入 N
FMC4_DP5_M2C_P	MGTYRXP1_225	AT2	收发器数据 5 输入 P
FMC4_DP5_M2C_N	MGTYRXN1_225	AT1	收发器数据 5 输入 N
FMC4_DP6_M2C_P	MGTYRXP0_225	AU4	收发器数据 6 输入 P
FMC4_DP6_M2C_N	MGTYRXN0_225	AU3	收发器数据 6 输入 N
FMC4_DP7_M2C_P	MGTYRXP3_225	AP2	收发器数据 7 输入 P
FMC4_DP7_M2C_N	MGTYRXN3_225	AP1	收发器数据 7 输入 N
FMC4_DP8_M2C_P	MGTYRXP1_227	AH2	收发器数据 8 输入 P
FMC4_DP8_M2C_N	MGTYRXN1_227	AH1	收发器数据 8 输入 N
FMC4_DP9_M2C_P	MGTYRXP3_227	AF2	收发器数据 9 输入 P
FMC4_DP9_M2C_N	MGTYRXN3_227	AF1	收发器数据 9 输入 N
FMC4_DP10_M2C_P	MGTYRXP2_227	AG4	收发器数据 10 输入 P
FMC4_DP10_M2C_N	MGTYRXN2_227	AG3	收发器数据 10 输入 N
FMC4_DP11_M2C_P	MGTYRXP0_227	AJ4	收发器数据 11 输入 P
FMC4_DP11_M2C_N	MGTYRXN0_227	AJ3	收发器数据 11 输入 N
FMC4_DP12_M2C_P	MGTYRXP3_226	AK2	收发器数据 12 输入 P
FMC4_DP12_M2C_N	MGTYRXN3_226	AK1	收发器数据 12 输入 N
FMC4_DP13_M2C_P	MGTYRXP2_226	AL4	收发器数据 13 输入 P
FMC4_DP13_M2C_N	MGTYRXN2_226	AL3	收发器数据 13 输入 N
FMC4_DP14_M2C_P	MGTYRXP1_226	AM2	收发器数据 14 输入 P
FMC4_DP14_M2C_N	MGTYRXN1_226	AM1	收发器数据 14 输入 N
FMC4_DP15_M2C_P	MGTYRXP0_226	AN4	收发器数据 15 输入 P
FMC4_DP15_M2C_N	MGTYRXN0_226	AN3	收发器数据 15 输入 N
FMC4_DP0_C2M_P	MGTYTXP2_228	AC9	收发器数据 0 输出 P

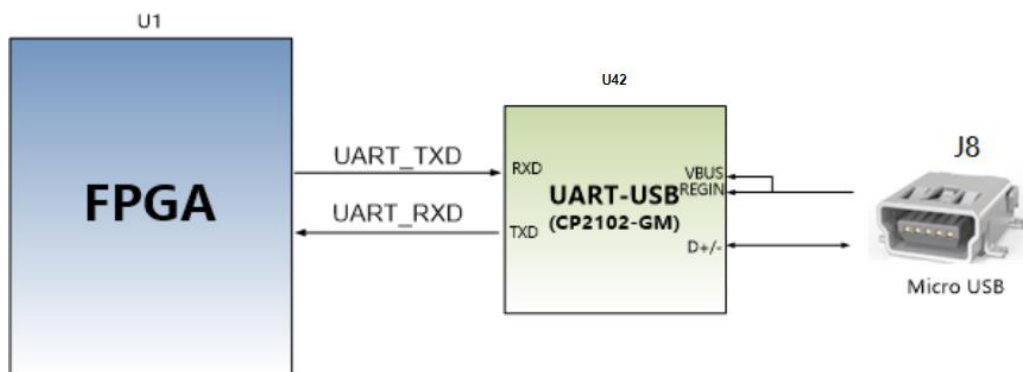
FMC4_DP0_C2M_N	MGTYTXN2_228	AC8	收发器数据 0 输出 N
FMC4_DP1_C2M_P	MGTYTXP0_228	AE9	收发器数据 1 输出 P
FMC4_DP1_C2M_N	MGTYTXN0_228	AE8	收发器数据 1 输出 N
FMC4_DP2_C2M_P	MGTYTXP1_228	AD7	收发器数据 2 输出 P
FMC4_DP2_C2M_N	MGTYTXN1_228	AD6	收发器数据 2 输出 N
FMC4_DP3_C2M_P	MGTYTXP3_228	AB7	收发器数据 3 输出 P
FMC4_DP3_C2M_N	MGTYTXN3_228	AB6	收发器数据 3 输出 N
FMC4_DP4_C2M_P	MGTYTXP2_225	AR9	收发器数据 4 输出 P
FMC4_DP4_C2M_N	MGTYTXN2_225	AR8	收发器数据 4 输出 N
FMC4_DP5_C2M_P	MGTYTXP1_225	AT7	收发器数据 5 输出 P
FMC4_DP5_C2M_N	MGTYTXN1_225	AT6	收发器数据 5 输出 N
FMC4_DP6_C2M_P	MGTYTXP0_225	AU9	收发器数据 6 输出 P
FMC4_DP6_C2M_N	MGTYTXN0_225	AU8	收发器数据 6 输出 N
FMC4_DP7_C2M_P	MGTYTXP3_225	AP7	收发器数据 7 输出 P
FMC4_DP7_C2M_N	MGTYTXN3_225	AP6	收发器数据 7 输出 N
FMC4_DP8_C2M_P	MGTYTXP1_227	AH7	收发器数据 8 输出 P
FMC4_DP8_C2M_N	MGTYTXN1_227	AH6	收发器数据 8 输出 N
FMC4_DP9_C2M_P	MGTYTXP3_227	AF7	收发器数据 9 输出 P
FMC4_DP9_C2M_N	MGTYTXN3_227	AF6	收发器数据 9 输出 N
FMC4_DP10_C2M_P	MGTYTXP2_227	AG9	收发器数据 10 输出 P
FMC4_DP10_C2M_N	MGTYTXN2_227	AG8	收发器数据 10 输出 N
FMC4_DP11_C2M_P	MGTYTXP0_227	AJ9	收发器数据 11 输出 P
FMC4_DP11_C2M_N	MGTYTXN0_227	AJ8	收发器数据 11 输出 N
FMC4_DP12_C2M_P	MGTYTXP3_226	AK7	收发器数据 12 输出 P
FMC4_DP12_C2M_N	MGTYTXN3_226	AK6	收发器数据 12 输出 N
FMC4_DP13_C2M_P	MGTYTXP2_226	AL9	收发器数据 13 输出 P
FMC4_DP13_C2M_N	MGTYTXN2_226	AL8	收发器数据 13 输出 N
FMC4_DP14_C2M_P	MGTYTXP1_226	AM7	收发器数据 14 输出 P
FMC4_DP14_C2M_N	MGTYTXN1_226	AM6	收发器数据 14 输出 N
FMC4_DP15_C2M_P	MGTYTXP0_226	AN9	收发器数据 15 输出 P
FMC4_DP15_C2M_N	MGTYTXN0_226	AN8	收发器数据 15 输出 N
FMC4_GBT1_0_M2C_C_N	MGTREFCLK1N_226	AK10	收发器参考时钟 1 输入 N
FMC4_GBT1_0_M2C_C_P	MGTREFCLK1P_226	AK11	收发器参考时钟 1 输入 P
FMC4_GBT1_1_M2C_C_N	MGTREFCLK1N_225	AP10	收发器参考时钟 1 输入 N
FMC4_GBT1_1_M2C_C_P	MGTREFCLK1P_225	AP11	收发器参考时钟 1 输入 P

FMC4_GBT1_2_M2C_C_N	MGTREFCLK1N_227	AF10	收发器参考时钟 1 输入 N
FMC4_GBT1_2_M2C_C_P	MGTREFCLK1P_227	AF11	收发器参考时钟 1 输入 P
FMC4_GBT1_3_M2C_C_N	MGTREFCLK1N_228	AB10	收发器参考时钟 1 输入 N
FMC4_GBT1_3_M2C_C_P	MGTREFCLK1P_228	AB11	收发器参考时钟 1 输入 P
FMC4_GBT0_0_M2C_C_N	MGTREFCLK0N_228	AD10	收发器参考时钟 0 输入 N
FMC4_GBT0_0_M2C_C_P	MGTREFCLK0P_228	AD11	收发器参考时钟 0 输入 P
FMC4_GBTCLK2_M2C_C_N	MGTREFCLK0N_227	AH10	收发器参考时钟 0 输入 N
FMC4_GBTCLK2_M2C_C_P	MGTREFCLK0P_227	AH11	收发器参考时钟 0 输入 P
FMC4_GBTCLK3_M2C_C_N	MGTREFCLK0N_226	AM10	收发器参考时钟 0 输入 N
FMC4_GBTCLK3_M2C_C_P	MGTREFCLK0P_226	AM11	收发器参考时钟 0 输入 P
FMC4_H_PRSENT_M2C_B	IO_L6N_T0U_N11_AD6N_73	M21	复位管脚
FMC4_L_PRSENT_M2C_B	IO_L24N_T3U_N11_73	A20	复位管脚
FMC4_PG_C2M	IO_T2U_N12_73	G21	电源状态管脚
FMC4_PG_M2C	IO_T1U_N12_73	K21	电源状态管脚
FMC4_REFCLK_C2M_N	IO_L8N_T1L_N3_AD5N_73	L18	参考时钟 1 输出 N
FMC4_REFCLK_C2M_P	IO_L8P_T1L_N2_AD5P_73	L19	参考时钟 1 输出 P
FMC4_REFCLK_M2C_N	IO_L11N_T1U_N9_GC_73	J18	参考时钟 1 输入 N
FMC4_REFCLK_M2C_P	IO_L11P_T1U_N8_GC_73	K18	参考时钟 1 输入 P
FMC4_SYNC_C2M_N	IO_L7N_T1L_N1_QBC_AD13 N_73	K17	C2M SYNC 输出 N
FMC4_SYNC_C2M_P	IO_L7P_T1L_N0_QBC_AD13 P_73	L17	C2M SYNC 输出 P
FMC4_SYNC_M2C_N	IO_L9N_T1L_N5_AD12N_73	K20	M2C SYNC 输入 N
FMC4_SYNC_M2C_P	IO_L9P_T1L_N4_AD12P_73	L20	M2C SYNC 输入 P
FMC4_GBT0_1_M2C_C_N	MGTREFCLK0N_225	AT10	收发器参考时钟 0 输入 N
FMC4_GBT0_1_M2C_C_P	MGTREFCLK0P_225	AT11	收发器参考时钟 0 输入 P

(七) USB 转串口

AXVU13F 扩展板上配备了一个 Uart 转 USB 接口, 用于系统调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口, 可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。

USB Uart 电路设计的示意图如下图所示:



2-7-1 USB 转串口示意图

USB 转串口的 FPGA 引脚分配:

信号名称	FPGA 引脚名	引脚号	备注
UART_RX_LS	IO_L5N_T0U_N9_AD14N_A23_65	BF25	Uart 数据输入
UART_TX_LS	IO_L5P_T0U_N8_AD14P_A22_65	BE25	Uart 数据输出

(八) 千兆网接口

板上通过一片 JL21221D 以太网 PHY 芯片为用户提供网络通信服务。以太网 PHY 芯片是连接到 FPGA 的 IO 接口上。JL21221D 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 FPGA 进行数据通信。JL21221D 芯片支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL21221D 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 2-8-1 描述了 GPHY 芯片上电之后的默认设定信息。

表 2-8-1 PHY 芯片默认配置值

配置 Pin 脚	说明	配置值
RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

当网络连接到千兆以太网时，FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通

信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 2-8-1 为 FPGA 与以太网 PHY 芯片连接示意图：

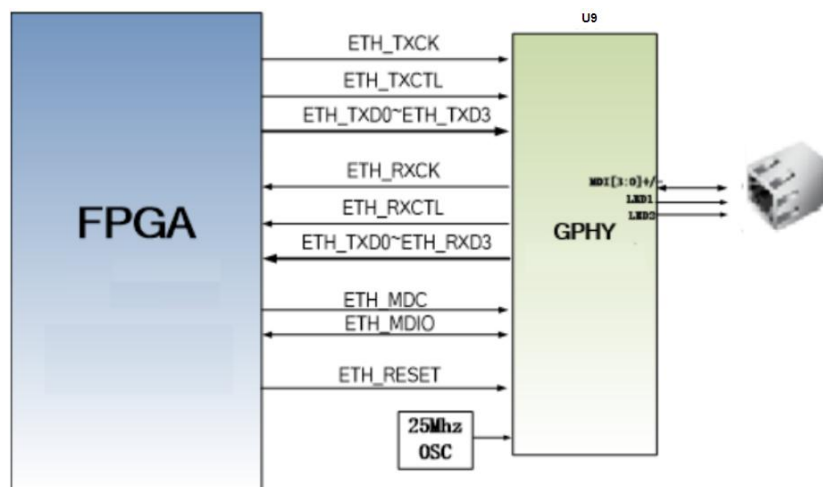


图 2-8-1 千兆网接口连接原理图

图 2-8-2 为以太网 PHY 芯片的实物图

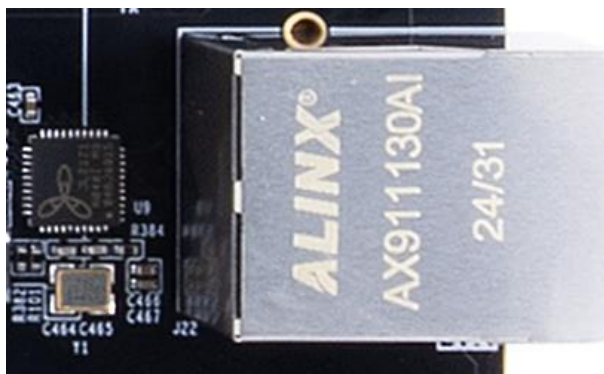


图 2-8-2 以太网 PHY 芯片实物图

以太网 PHY 的 FPGA 引脚分配如下：

信号名称	FPGA 引脚号	备注
ETH_MDC	BE12	MDIO 管理时钟
ETH_MDIO	BF12	MDIO 管理数据
ETH_RESET	BD11	PHY 芯片复位
ETH_RXCK	BA9	RGMII 接收时钟
ETH_RXCTL	BA8	接收数据有效信号
ETH_RXD0	BD8	接收数据 Bit0
ETH_RXD1	BD9	接收数据 Bit1
ETH_RXD2	BE8	接收数据 Bit2
ETH_RXD3	BC11	接收数据 Bit3

ETH_TXCK	BF9	RGMII 发送时钟
ETH_TXCTL	BE10	发送使能信号
ETH_TXD0	BC12	发送数据 bit0
ETH_TXD1	BF10	发送数据 bit1
ETH_TXD2	BE11	发送数据 bit2
ETH_TXD3	BF8	发送数据 bit3

(九) 光纤接口

板载1路QSFP28光纤接口，用户可以购买QSFP光模块插入到光纤接口中进行光纤数据通信。光纤接口连接到BANK229的GTY收发器的4路RX/TX相连接，提供4个独立的发送和接收通道，每个功能可以在OM4 MMF的100米处进行25Gbps的运行，总体数据速率为100Gbps。两路参考时钟由到晶振和SC6301芯片时钟芯片。

FPGA 和光纤设计示意图如下图 2-9-1 所示:

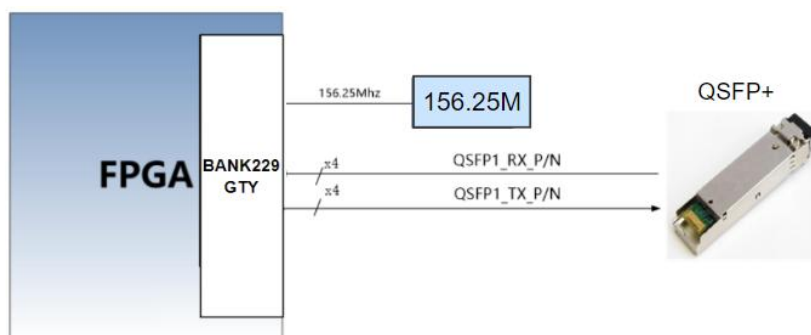


图 2-9-1 光纤设计示意图

光纤接口 FPGA 引脚分配如下:

信号名称	FPGA 引脚名	FPGA 引脚号	备注
QSFP1_RX1_N	MGTYRXN0_229	AA3	光模块 1 数据接收负 1
QSFP1_RX1_P	MGTYRXP0_229	AA4	光模块 1 数据接收正 1
QSFP1_RX2_N	MGTYRXN1_229	Y1	光模块 1 数据接收负 2
QSFP1_RX2_P	MGTYRXP1_229	Y2	光模块 1 数据接收正 2
QSFP1_RX3_N	MGTYRXN2_229	W3	光模块 1 数据接收负 3
QSFP1_RX3_P	MGTYRXP2_229	W4	光模块 1 数据接收正 3
QSFP1_RX4_N	MGTYRXN3_229	V1	光模块 1 数据接收负 4
QSFP1_RX4_P	MGTYRXP3_229	V2	光模块 1 数据接收正 4
QSFP1_TX1_N	MGTYTXN0_229	AA8	光模块 1 数据发送负 1

QSFP1_TX1_P	MGTYTXP0_229	AA9	光模块 1 数据发送正 1
QSFP1_TX2_N	MGTYTXN1_229	Y6	光模块 1 数据发送负 2
QSFP1_TX2_P	MGTYTXP1_229	Y7	光模块 1 数据发送正 2
QSFP1_TX3_N	MGTYTXN2_229	W8	光模块 1 数据发送负 3
QSFP1_TX3_P	MGTYTXP2_229	W9	光模块 1 数据发送正 3
QSFP1_TX4_N	MGTYTXN3_229	V6	光模块 1 数据发送负 4
QSFP1_TX4_P	MGTYTXP3_229	V7	光模块 1 数据发送正 4
MGT229_CLK0_N	MGTREFCLK0N_229	Y10	BANK229 参考时钟 0 负
MGT229_CLK0_P	MGTREFCLK0P_229	Y11	BANK229 参考时钟 0 正
MGT229_CLK1_N	MGTREFCLK1N_229	V10	BANK229 参考时钟 1 负
MGT229_CLK1_P	MGTREFCLK1P_229	V11	BANK229 参考时钟 1 正
QSFP1_INTL	IO_L6N_T0U_N11_AD6N_72	M16	中断信号, 低电平有效
QSFP1_LPMODE	IO_L8P_T1L_N2_AD5P_72	K16	光模块 LP 模式
QSFP1_MODPRSL	IO_L6P_T0U_N10_AD6P_72	N16	光模块存在信号, 低电平有效
QSFP1_MODSELL	IO_T1U_N12_72	L15	模式选择, 低电平 I2C 有效
QSFP1_RESETL	IO_L8N_T1L_N3_AD5N_72	K15	复位信号, 低电平复位
QSFP1_SCL	IO_L7P_T1L_N0_QBC_AD13P_72	L13	光模块 I2C 时钟
QSFP1_SDA	IO_L10N_T1U_N7_QBC_AD4N_72	H16	光模块 I2C 数据

(十) IO 扩展口

AXVU13F 上有一个 14PIN 的 2.54 间距的 IO 扩展接口, 引出 6 路 IO 信号, 默认没有焊接, 其管脚定义如下图 2-10-1:

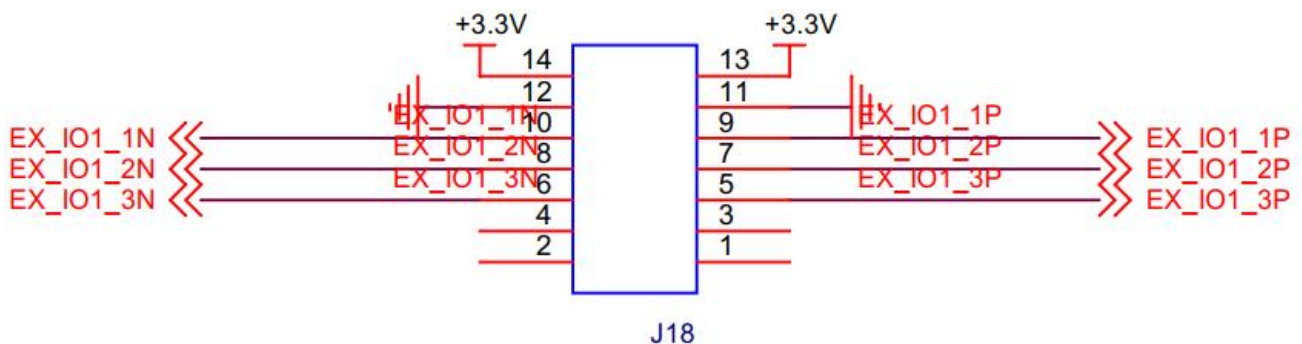


图 2-10-1 扩展 IO

引脚分配

扩展口管脚	信号名称	引脚号	备注
1	NC	-	-

2	NC	-	-
3	NC	-	-
4	NC	-	-
5	EX_IO1_3P	BE7	数据
6	EX_IO1_3N	BF7	数据
7	EX_IO1_2P	BC8	数据
8	EX_IO1_2N	BC7	数据
9	EX_IO1_1P	BA7	数据
10	EX_IO1_1N	BB7	数据
11	GND	-	地
12	GND	-	地
13	+3.3V	-	3.3V
14	+3.3V	-	3.3V

(十一) SMA 接口

板上配备了 2 路 SMA 接口，一路可作为差分输入，一路可作为差分输出，分别连接到 FPGA 的 HPIO 管脚上，可用于客户差分信号的输入与输出验证。

FPGA 引脚分配如下：

信号名称	引脚名	引脚号	备注
CLKOUT_P	IO_L8P_T1L_N2_AD5P_68	BB11	SMA 数据输出正
CLKOUT_N	IO_L8N_T1L_N3_AD5N_68	BB10	SMA 数据接收负
CLKIN_P	IO_L11P_T1U_N8_GC_68	BB9	SMA 数据输入正
CLKIN_N	IO_L11N_T1U_N9_GC_68	BC9	SMA 数据接入负

(十二) 按键和 LED 灯

AXVU13F 底板上有 8 个发光二极管 LED, 1 个电源指示灯； 1 个配置完成指示灯, 2 个串口通信指示灯, 4 个用户 LED 灯。当开发板上电后电源指示灯会亮起；4 个 LED 灯连接到 FPGA 的 IO 上, 用户可以通过程序来控制亮和灭, 当连接用户 LED 灯的 IO 电压为高时, 用户 LED 灯点亮, 当连接 IO 电压为低时, 用户 LED 会被熄灭。另外板上还有 1 个用户按键, 默认按键信号为高, 当按键按下时, 按键电平为低。用户 LED 灯和按键的硬件连接示意图如图 2-12-1 所示:

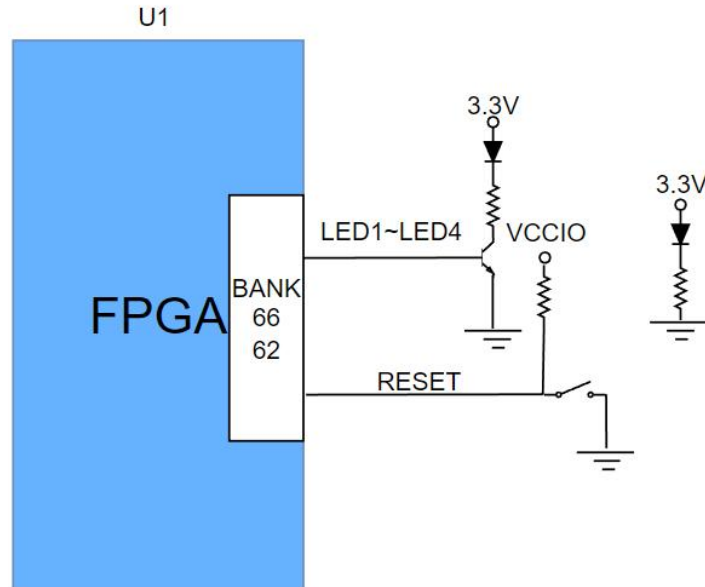


图 2-12-1 用户 LED 灯和按键硬件连接示意图

用户 LED 灯和按键的引脚分配

信号名称	FPGA 引脚名	管脚号	备注
RESET	IO_T1U_N12_62	BF35	用户按键
LED1	IO_L7N_T1L_N1_QBC_AD13N_66	BA17	用户 LED1 灯
LED2	IO_L8N_T1L_N3_AD5N_66	BA18	用户 LED2 灯
LED3	IO_L6N_T0U_N11_AD6N_66	BC18	用户 LED3 灯
LED4	IO_L6P_T0U_N10_AD6P_66	BB19	用户 LED4 灯

(十三) JTAG 调试口

在 AXVU13F 底板上预留了一个 14PIN 的 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免芯片的损坏。

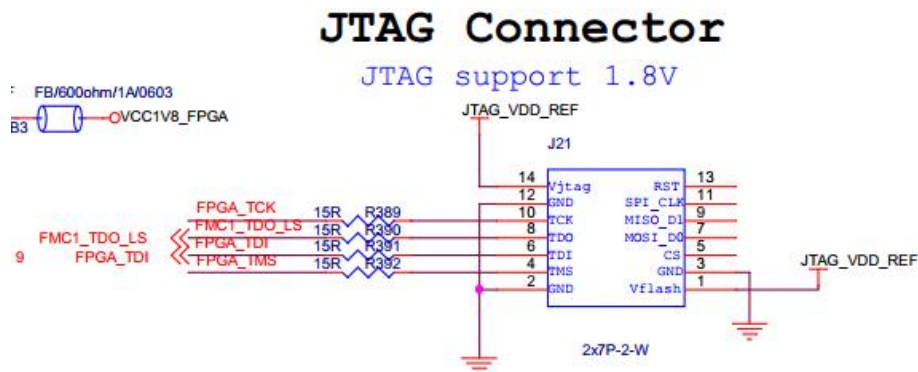


图2-14-1 原理图中JTAG接口部分

(十四) 电源

开发板的电源输入电压为 DC12V，可通过 8PIN 的 J10 接口外接+12V 电源给板子供电。供电时请使用开发板自带的电源,不要用其他规格电源，以免损坏开发板。12V 通过 DCDC 模块产生 FPGA 核心电源，输出电流高达 150A，可满足核心电压的电流需求。+12V 电源再通过其它 DCDC 芯片：SGM61163 产生 VCCAUX，IS6608A 产生 MGTAVCC，MGTAVTT 电源，给 FPGA 辅助电源和高速收发器供电。DCDC 芯片 ETA1471、SGM61163、IS66066 来产生+1.2V，VCC1V8_FPGA、+3.3V 电源给 DDR4、FPGA 的 BANK 及外设供电。另外 D3V3 通过 2 个 LDO 芯片 ETA5060 产生高速收发器的辅助电源和 FPGA 的 ADC 供电电源 +1.8V；DDR4 的 VTT 和 DDR2V5 电压由 TPS51200 和 ETA5050 产生。此外通过 IS66066 分别给 3 路 FMC+接口的及其它外设提供电源。

板上的电源设计框图如下：

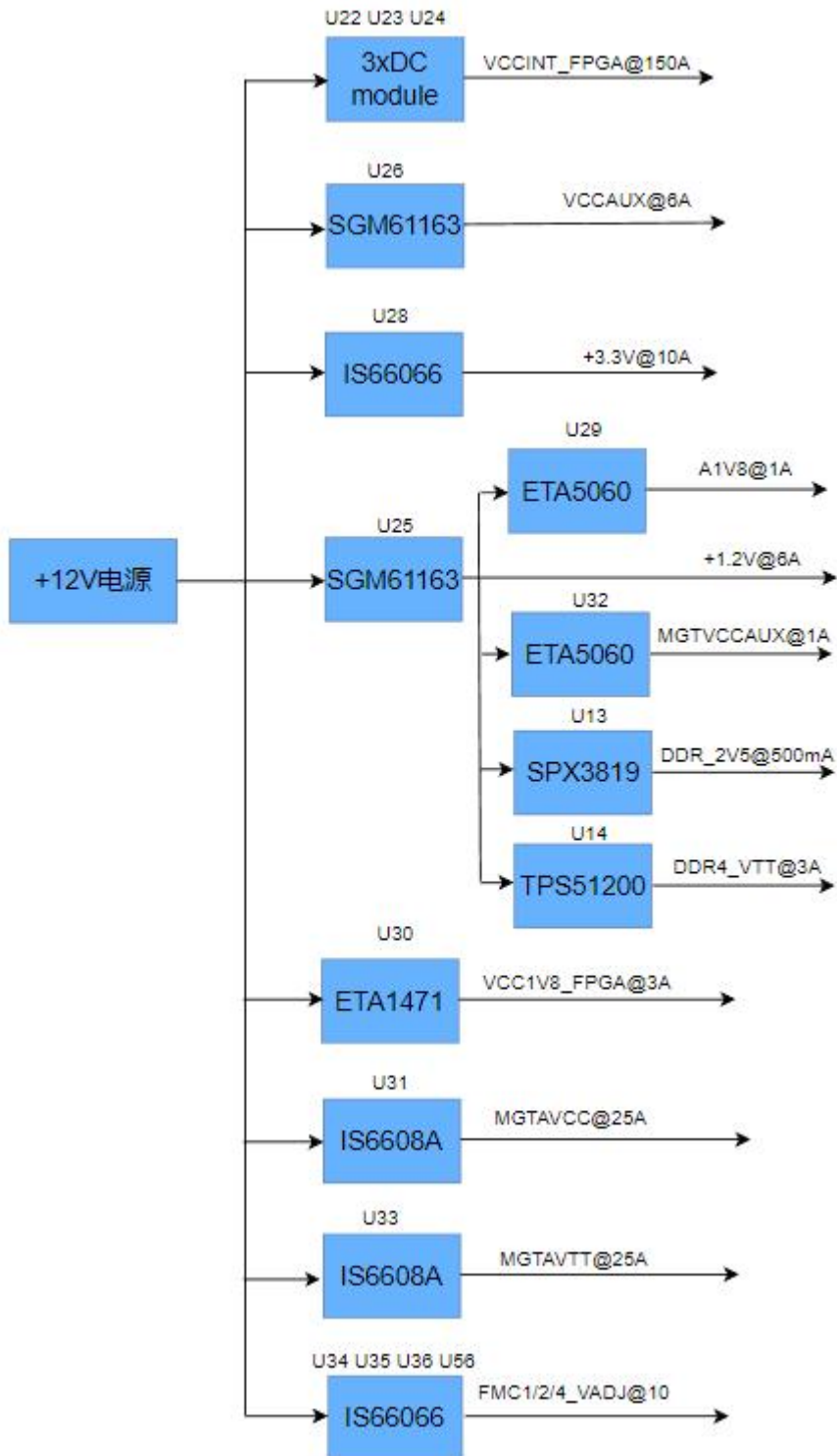
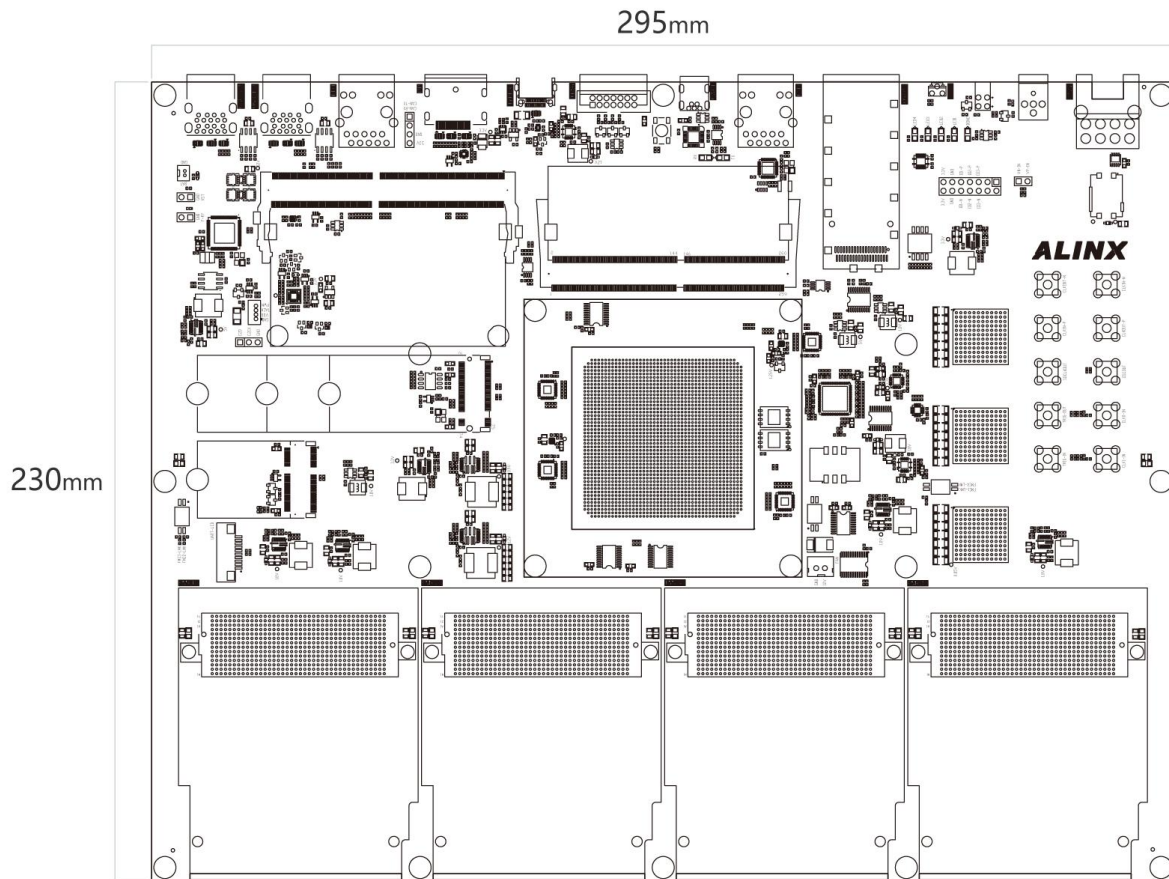


图 2-14-1 原理图中电源接口部分

各个电源分配的功能如下表所示:

电源	功能
VCCINT_FPGA@150A	FPGA 内核供电
VCCAUX@6A	FPGA 辅助电源供电
MGTVCCAUX@1A	GTY 辅助电源
MGTAVCC@25A	FPGA GTY 供电
MGTAVTT@25A	FPGA GTY 供电
VCC1V8_FPGA@3A	FPGA BANK 电压及外设
+1.2V@6A	SODIMM 及 BANK 电压
FMC1_VADJ@10A	FMC1+调整电压
FMC2_VADJ@10A	FMC2+调整电压
FMC3_VADJ@10A	FMC3+调整电压
FMC4_VADJ@10A	FMC4+调整电压
+3.3V@10A	FPGA 外设电压
DDR4_VTT@3A	DDR4 VTT 电压
DDR_2V5@500mA	DDR4 供电电压

(十五) 结构尺寸图**图 2-15-1 正面图 (Top View)**

三、 ORIN 系统

(一) NVIDIA ORIN 模块

本开发板上带有一个 SO-DIMM 连接器，用于 NVIDIA 的 ORIN 模块。开发板上采用 NVIDIA Jetson Orin NX 8GB 模块，NVIDIA Jetson Orin NX 系列模块外形小巧，但可提供高达 70TOPS 的 AI 性能。模组由 NVIDIA 其它平台上使用的相同 AI 软件和云原生 workflow 提供支持。Jetson Orin 模组可提供企业在边缘构建自主机器所需的性能和能效，而强大的 Jetson 软件堆栈可让您更快地将产品推向市场，是学习和开发 AI 与机器人的理想之选，模块如图 3-1-1 所示：



图 3-1-1ORIN 模块

Jetson Orin NX 具体性能参数见图 3-1-2:

	Jetson Orin Nano 系列		Jetson Orin NX 系列		Jetson AGX Orin 系列		Jetson AGX Orin 开发者套件
	Jetson Orin Nano 4GB	Jetson Orin Nano 8GB	Jetson Orin NX 8GB	Jetson Orin NX 16GB	Jetson AGX Orin 32GB	Jetson AGX Orin 64GB	
AI 性能	20 TOPS	40 TOPS	70 TOPS	100 TOPS	200 TOPS	275 TOPS	
GPU	搭载 16 个 Tensor Core 的 512 核 NVIDIA Ampere 架构 GPU	搭载 32 个 Tensor Core 的 1024 核 NVIDIA Ampere 架构 GPU	搭载 32 个 Tensor Core 的 1024 核 NVIDIA Ampere 架构 GPU		搭载 56 个 Tensor Core 的 1792 核 NVIDIA Ampere 架构 GPU	搭载 64 个 Tensor Core 的 2048 核 NVIDIA Ampere 架构 GPU	
GPU 最大频率	625 MHz		765 MHz	918 MHz	930 MHz	1.3 GHz	
CPU	6 核 Arm® Cortex®-A78AE v8.2 64 位 CPU 1.5MB L2 + 4MB L3		6 核 Arm® Cortex®-A78AE v8.2 64 位 CPU 1.5MB L2 + 4MB L3	8 核 Arm® Cortex®-A78AE v8.2 64 位 CPU 2MB L2 + 4MB L3	12 核 Arm® Cortex®-A78AE v8.2 64 位 CPU 3MB L2 + 6MB L3		
CPU 最大频率	1.5 GHz		2 GHz		2.2 GHz		
DL 加速器	-		1x NVDLA v2		2x NVDLA v2		
DLA 最大频率	-		614 MHz		1.4 GHz	1.6 GHz	
视觉加速器	-				1x PVA v2		
安全集群引擎	-				-		
显存	4GB 64 位 LPDDR5 34 GB/s	8GB 128 位 LPDDR5 68 GB/s	8GB 128 位 LPDDR5 102.4GB/s	16GB 128 位 LPDDR5 102.4GB/s	32GB 256 位 LPDDR5 204.8GB/s	64 GB 256 位 LPDDR5 204.8GB/s	32GB 256 位 LPDDR5 204.8GB/s
存储	(支持外部 NVMe)				64GB eMMC 5.1		
视频编码	1080p30, 由 1-2 个 CPU 核心提供支持		1x 4K60 (H.265) 3x 4K30 (H.265) 6x 1080p60 (H.265) 12x 1080p30 (H.265)		2x 4K60 (H.265) 4x 4K30 (H.265) 8x 1080p60 (H.265) 16x 1080p30 (H.265)		
视频解码	1x 4K60 (H.265) 2x 4K30 (H.265) 5x 1080p60 (H.265) 11x 1080p30 (H.265)		1x 8K30 (H.265) 2x 4K60 (H.265) 4x 4K30 (H.265) 9x 1080p60 (H.265) 18x 1080p30 (H.265)		1x 8K30 (H.265) 3x 4K60 (H.265) 7x 4K30 (H.265) 11x 1080p60 (H.265) 22x 1080p30 (H.265)		
摄像头	多达 4 个摄像头 (通过虚拟通道最多可支持 8 个***) 8 通道 MIPI CSI-2 D-PHY 2.1 (高达 20 Gbps)			多达 6 个摄像头 (通过虚拟通道最多可支持 16 个) 16 通道 MIPI CSI-2 D-PHY 2.1 (高达 40Gbps) C-PHY 2.0 (高达 164Gbps)		16 通道 MIPI CSI-2 连接器	
PCIe*	1 x4 + 3 x1 (PCIe 3.0, 根端和端点)		1 x4 + 3 x1 (PCIe 4.0, 根端和端点)		高达 2 x8 + 1 x4 + 2 x1 (PCIe 4.0, 根端和端点)		支持 x8 PCIe 4.0 的 x16 PCIe 插槽 支持 x4 PCIe 4.0 的 M.2 Key M 插槽 支持 x1 PCIe 4.0 的 M.2 Key E 插槽
USB*	3x USB 3.2 2.0 (10 Gbps) 3x USB 2.0		3x USB 3.2 2.0 (10 Gbps) 3x USB 2.0		3x USB 3.2 2.0 (10 Gbps) 4x USB 2.0		USB Type-C 连接器: 2x USB 3.2 2.0 USB Type-A 连接器: 2x USB 3.2 2.0, 2x USB 3.2 1.0 USB Micro-B 连接器: USB 2.0
网络*	1x GbE		1x GbE		1x GbE 1x 10GbE		RJ45 连接器, 至高可支持 10 GbE
显示接口	1x 4K30 多模 DP 1.2 (+MST)/eDP 1.4/HDMI 1.4**		1x 8K30 多模 DP 1.4a (+MST)/eDP 1.4a/HDMI 2.1		1x 8K60 多模 DP 1.4a (+MST)/eDP 1.4a/HDMI 2.1		1x DisplayPort 1.4a (+MST) 连接器
其他 I/O	3x UART, 2x SPI, 2x I2S, 4x I2C, 1x CAN, DMIC 和 DSPK, PWM, GPIO		4x UART, 3x SPI, 4x I2S, 8x I2C, 2x CAN, PWM, DMIC 和 DSPK, GPIO		40 针接头 (UART, SPI, I2S, I2C, CAN, PWM, DMIC, GPIO) 12 针自动化接头 10 针音频面板接头 10 针 JTAG 接头 4 针风扇接头 2 针 RTC 电池备份连接器 microSD 插槽 直流电源插座 电源、强制恢复和复位按钮		
功率	7 瓦 - 10 瓦	7 瓦 - 15 瓦	10 瓦 - 20 瓦	10 瓦 - 25 瓦	15 瓦 - 40 瓦	15 瓦 - 60 瓦	
规格尺寸	69.6 毫米 x 45 毫米 260 引脚 SO-DIMM 连接器		100 毫米 x 87 毫米 699 针 Molex Mirror Mezz 连接器 集成导热板		110 毫米 x 110 毫米 x 71.65 毫米 (高度包括支架、载板、模组和散热解决方案)		

图 3-1-2 ORIN 模块参数

详细资料请参考模块的 datasheet “Jetson_Orin_NX_DS-10712-001_v1.0”。

(二) M.2 SSD 接口

ORIN 系统这边有一个 PCIe(x2) Gen4 标准的 M.2 接口, 用于连接 NVMe 的 SSD 固态

硬盘，ORIN 的数据和系统文件存储于 SSD 里。M.2 接口使用 M key 插槽，只支持 PCIE，不支持 SATA，用户选择 SSD 固态硬盘的时候需要选择 PCIE 类型的 NVME SSD 固态硬盘。M.2 接口设计示意图如下：

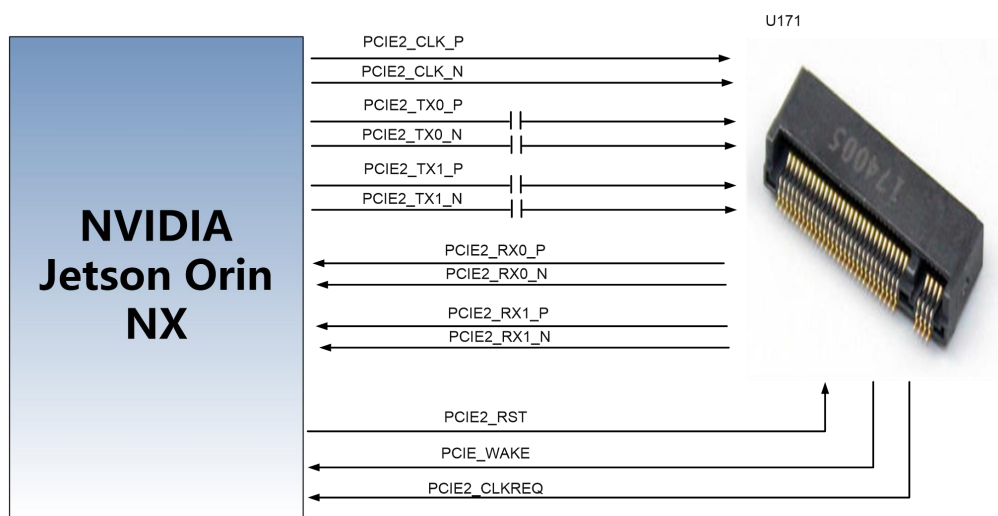


图 3-2-1 M.2SSD 接口示意图

M.2 SSD 接口引脚分配：

表 3-2-1 M.2 SSD 接口引脚

40	PCIE2_RX0_N	PCIe 2 Receive 0- (PCIe Ctrl #7 Lane 0)	Input	PCIe PHY
42	PCIE2_RX0_P	PCIe 2 Receive 0+ (PCIe Ctrl #7 Lane 0)	Input	PCIe PHY
46	PCIE2_TX0_N	PCIe 2 Transmit 0- (PCIe Ctrl #7 Lane 0)	Output	PCIe PHY
48	PCIE2_TX0_P	PCIe 2 Transmit 0+ (PCIe Ctrl #7 Lane 0)	Output	PCIe PHY
58	PCIE2_RX1_N (PCIE3_RX0_N)	PCIe 2 Receive 1- (PCIe Ctrl #7 Lane 1) or PCIe 3 Receive 0- (PCIe Ctrl #9 Lane 0)	Input	PCIe PHY
60	PCIE2_RX1_P (PCIE3_RX0_P)	PCIe 2 Receive 1+ (PCIe Ctrl #7 Lane 1) or PCIe 3 Receive 0+ (PCIe Ctrl #9 Lane 0)	Input	PCIe PHY
64	PCIE2_TX1_N (PCIE3_TX0_N)	PCIe 2 Transmit 1- (PCIe Ctrl #7 Lane 1) or PCIe 3 Transmit 0- (PCIe Ctrl #9 Lane 0)	Output	PCIe PHY
66	PCIE2_TX1_P (PCIE3_TX0_P)	PCIe 2 Transmit 1+ (PCIe Ctrl #7 Lane 1) or PCIe 3 Transmit 0+ (PCIe Ctrl #9 Lane 0)	Output	PCIe PHY
52	PCIE2_CLK_N	PCIe 2 Reference Clock- (PCIe Ctrl #7)	Output	PCIe PHY
54	PCIE2_CLK_P	PCIe 2 Reference Clock+ (PCIe Ctrl #7)	Output	PCIe PHY
219	PCIE2_RST*	PCIe 2 Reset (PCIe Ctrl #7). 4.7kΩ pull-up to 3.3V on the module.	Output	Open Drain 3.3V
221	PCIE2_CLKREQ*	PCIe 2 Clock Request (PCIe Ctrl #7). 47kΩ pull-up to 3.3V on the module.	Bidir	Open Drain 3.3V

(三) M.2 WIFI/BT 接口

AXVU13F 开发板上有一个 M.2 KEY E 的连接器的，预留用于连接 WIFI/BT 模块，接口包含 PCIe x1, USB2.0, UART, I2S 和 I2C 等信号，图 3-3-1 为接口连接示意图。

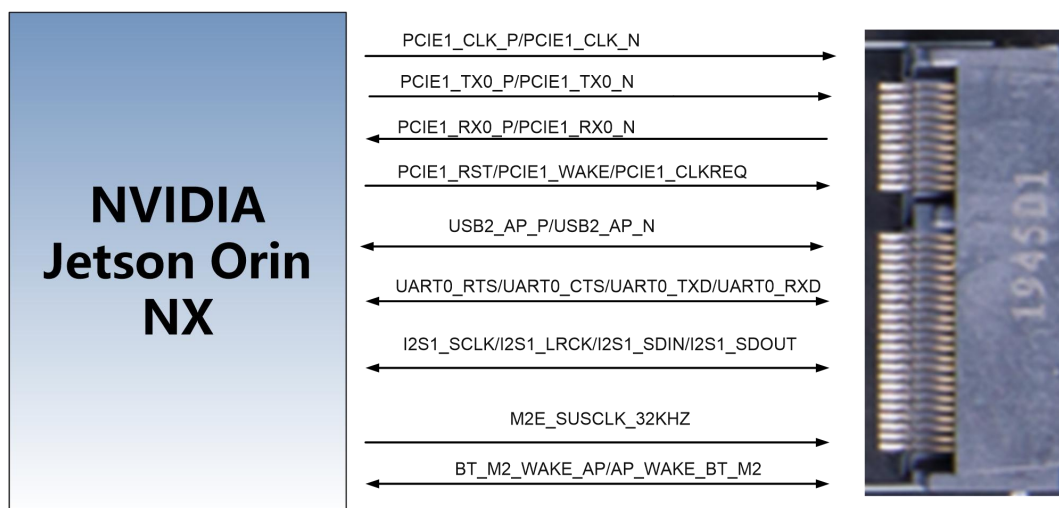


图 3-3-1 M.2 WIFI/BT 接口示意图

M.2 WIFI/BT 接口引脚分配:

表 3-3-1 M.2 WIFI/BT 接口引脚

Pin #	Signal Name	Description	Direction	Pin Type
99	UART0_TXD	UART #0 Transmit	Output	CMOS - 1.8V
101	UART0_RXD	UART #0 Receive	Input	CMOS - 1.8V
103	UART0_RTS*	UART #0 Request to Send	Output	CMOS - 1.8V
105	UART0_CTS*	UART #0 Clear to Send	Input	CMOS - 1.8V
226	I2S1_SCLK	I2S Audio Port 1 Clock	Bidir	CMOS - 1.8V
224	I2S1_FS	I2S Audio Port 1 Left/Right Clock	Bidir	CMOS - 1.8V
220	I2S1_DOUT	I2S Audio Port 1 Data Out	Output	CMOS - 1.8V
222	I2S1_DIN	I2S Audio Port 1 Data In	Input	CMOS - 1.8V
167	PCIE1_RX0_N	PCIe 1 Receive 0- (PCIe Ctrl #1 Lane 0)	Input	PCIe PHY
169	PCIE1_RX0_P	PCIe 1 Receive 0+ (PCIe Ctrl #1 Lane 0)	Input	PCIe PHY
172	PCIE1_TX0_N	PCIe 1 Transmit 0- (PCIe Ctrl #1 Lane 0)	Output	PCIe PHY
174	PCIE1_TX0_P	PCIe 1 Transmit 0+ (PCIe Ctrl #1 Lane 0)	Output	PCIe PHY
183	PCIE1_RST*	PCIe 1 Reset (PCIe Ctrl #1). 4.7kΩ pull-up to 3.3V on the module.	Output	Open Drain 3.3V
182	PCIE1_CLKREQ*	PCIe 1 Clock Request (PCIe Ctrl #1). 47kΩ pull-up to 3.3V on the module.	Bidir	Open Drain 3.3V
173	PCIE1_CLK_N	PCIe 1 Reference Clock- (PCIe Ctrl #1)	Output	PCIe PHY
175	PCIE1_CLK_P	PCIe 1 Reference Clock+ (PCIe Ctrl #1)	Output	PCIe PHY
121	USB2_D_N	USB 2.0 Port 2 Data-	Bidir	USB PHY
123	USB2_D_P	USB 2.0 Port 2 Data+	Bidir	USB PHY

(四) DP 显示接口

Jetson Orin NX 模块支持 DP 视频输出，开发板带有 1 路 DisplayPort 输出显示接口跟

Jetson Orin NX 模块连接，用于视频图像的显示。接口支持 VESA DisplayPort V1.2 和 eDP V1.4 输出标准。

DisplayPort 接口引脚分配如下：

Jetson SODIMM Signal Name	Jetson Orin NX Function	Pin # Top Odd
DP1_TXD0_N	DP1_TXD0_N	63
DP1_TXD0_P	DP1_TXD0_P	65
GND	GND	67
DP1_TXD1_N	DP1_TXD1_N	69
DP1_TXD1_P	DP1_TXD1_P	71
GND	GND	73
DP1_TXD2_N	DP1_TXD2_N	75
DP1_TXD2_P	DP1_TXD2_P	77
GND	GND	79
DP1_TXD3_N	DP1_TXD3_N	81
DP1_TXD3_P	DP1_TXD3_P	83

(五) USB3.0 接口

NVIDIA Jetson Orin NX 模块的 USB0 接口通过 HUB 芯片 GL3523T 扩展成 4 个 USB3.0 接口(USB Type A)，支持 HOST 工作模式，另外 USB1 接口设计成 USB3.0 TYPE C 接口，支持 HOST、SLAVE、OTG 工作模式，数据传输速度高达 5.0Gb/s。USB3.0 连接的示意图如 3-5-1 所示：

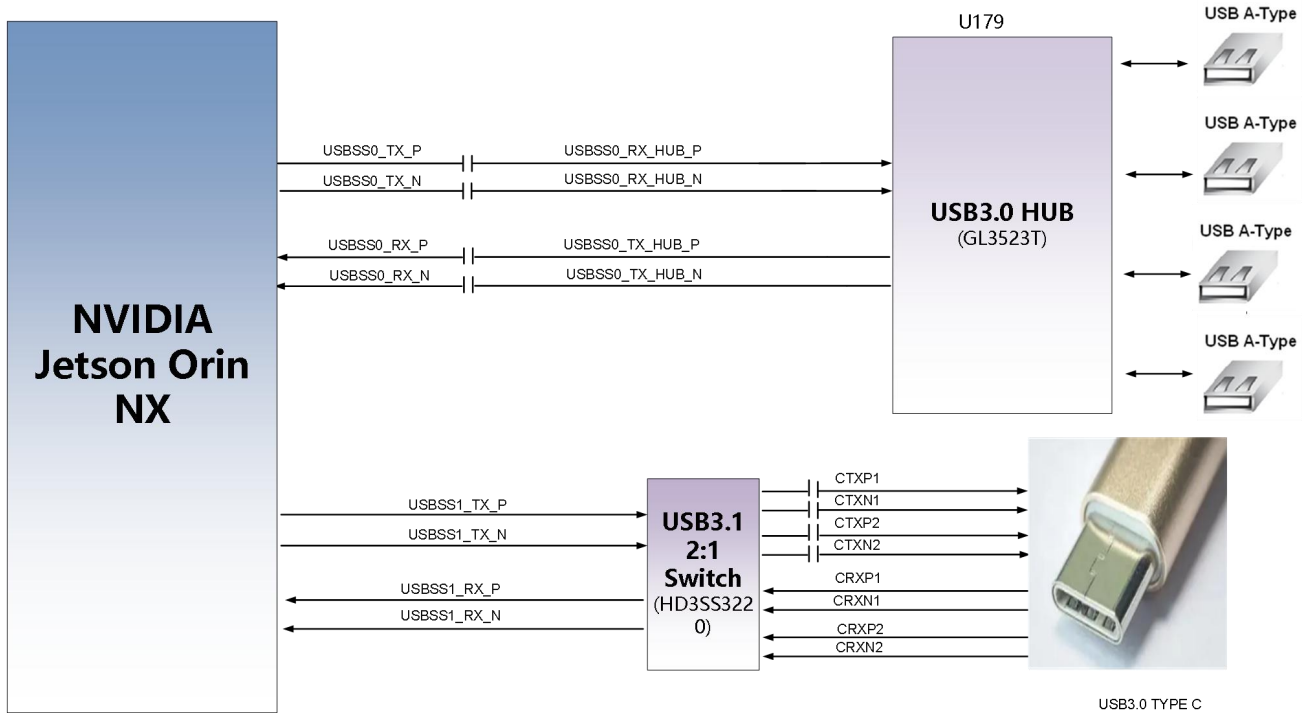


图 3-5-1 USB3.0 接口示意图

USB 接口引脚分配:

Table 2-11: USB 3.2 Pin Descriptions

Pin #	Signal Name	Description	Direction	Pin Type
161	USBSS0_RX_N	USB SS Receive- (USB 3.2 Port #0)	Input	USB SS PHY
163	USBSS0_RX_P	USB SS Receive+ (USB 3.2 Port #0)	Input	USB SS PHY
166	USBSS0_TX_N	USB SS Transmit- (USB 3.2 Port #0)	Output	USB SS PHY
168	USBSS0_TX_P	USB SS Transmit+ (USB 3.2 Port #0)	Output	USB SS PHY
39	USBSS1_RX_N	USB SS Receive- (USB 3.2 Port #1)	Input	USB SS PHY
41	USBSS1_RX_P	USB SS Receive+ (USB 3.2 Port #1)	Input	USB SS PHY
45	USBSS1_TX_N	USB SS Transmit- (USB 3.2 Port #1)	Output	USB SS PHY
47	USBSS1_TX_P	USB SS Transmit+ (USB 3.2 Port #1)	Output	USB SS PHY
51	USBSS2_RX_N	USB SS Receive- (USB 3.2 Port #2)	Input	USB SS PHY
53	USBSS2_RX_P	USB SS Receive+ (USB 3.2 Port #2)	Input	USB SS PHY
57	USBSS2_TX_N	USB SS Transmit- (USB 3.2 Port #2)	Output	USB SS PHY
59	USBSS2_TX_P	USB SS Transmit+ (USB 3.2 Port #2)	Output	USB SS PHY

(六) 千兆以太网接口

NVIDIA Jetson Orin NX 模块扩展了 1 路千兆以太网接口，模块输出的 MDI 信号直接连接到 RJ45 连接器。图 3-6-1 为以太网连接示意图:

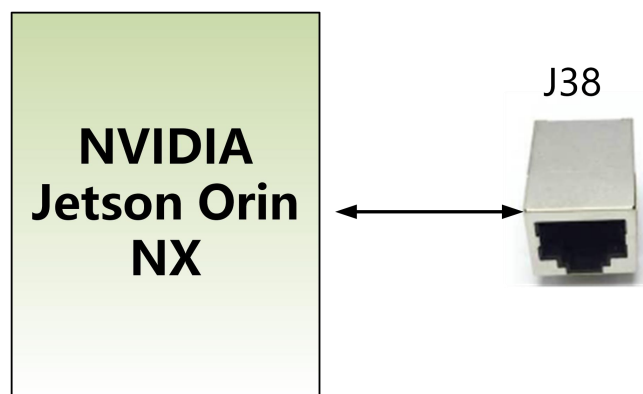


图 3-6-1 以太网连接示意图

NVIDIA Jetson Orin NX 千兆以太网引脚分配如下：

Pin #	Signal Name	Description	Direction	Pin Type
184	GBE_MDIO_N	GbE Transformer Data 0-	Bidir	MDI
186	GBE_MDIO_P	GbE Transformer Data 0+	Bidir	MDI
190	GBE_MDII1_N	GbE Transformer Data 1-	Bidir	MDI
192	GBE_MDII1_P	GbE Transformer Data 1+	Bidir	MDI
196	GBE_MDII2_N	GbE Transformer Data 2-	Bidir	MDI
198	GBE_MDII2_P	GbE Transformer Data 2+	Bidir	MDI
202	GBE_MDII3_N	GbE Transformer Data 3-	Bidir	MDI
204	GBE_MDII3_P	GbE Transformer Data 3+	Bidir	MDI
188	GBE_LED_LINK	Ethernet Link LED (Green)	Output	-
194	GBE_LED_ACT	Ethernet Activity LED (Yellow)	Output	-

(七) EEPROM

板上有一个 EEPROM 芯片，型号为 24AA04 I/SN，容量为 4Kbit，通过 IIC 总线连接到 NVIDIA Jetson Orin NX 进行通信，EEPROM 与 NVIDIA Jetson Orin NX 模块通信引脚分配如下：

Pin #	Signal Name	Description	Direction	Pin Type
232	I2C2_SCL	General I2C 2 Clock. 2.2kΩ pull-up to 1.8V on the module.	Bidir	Open Drain - 1.8V
234	I2C2_SDA	General I2C 2 Data. 2.2kΩ pull-up to 1.8V on the module.	Bidir	Open Drain - 1.8V

(八) 电源供电

NVIDIA Jetson Orin NX 模块的供电系统如下，其中 VDD_CVM 电源是给 Orin NX 模块的供电，其它电路为 ORIN 系统板上的一些外设需要的电源。

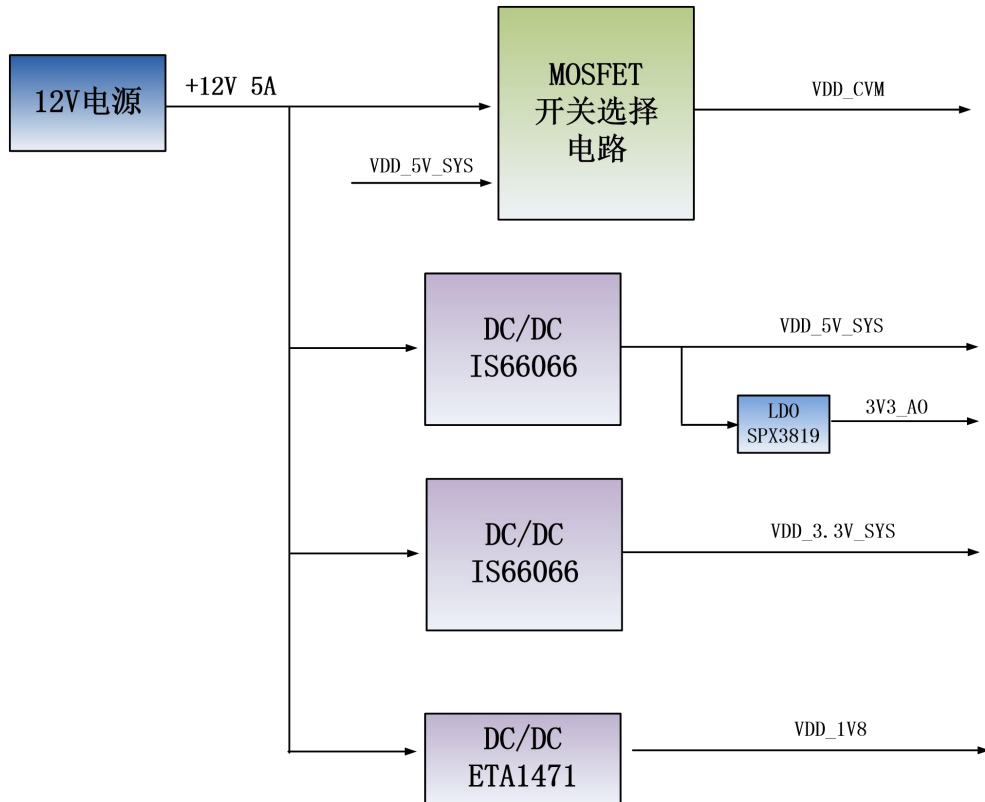


图 3-8-1 Orin NX 供电示意图

MOSFET 的开关电路如下图 3-8-2 所示:通过 Orin NX 模块的 MODULE_ID 管脚来决定输出 12V 还是+5V。

Figure 6-1. System Power and Control Block Diagram

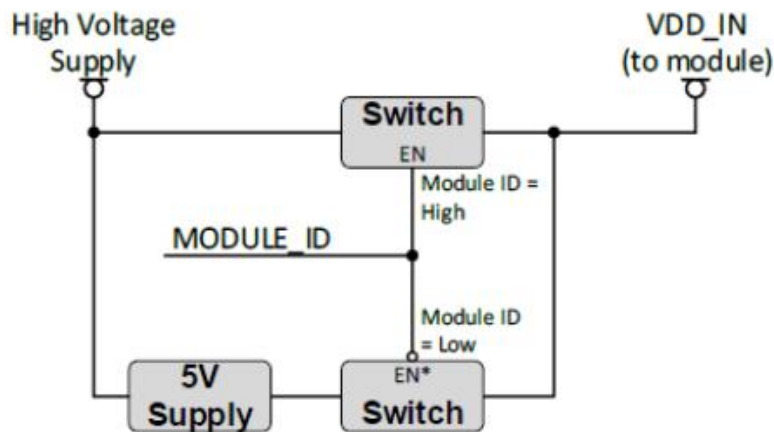


图 3-8-2 供电切换图

底板设计有一个 POWER LOGIC 编程芯片控制 Orin NX 模块和外设的一些上电顺序，上电后，Power 电源按键按下，Power Logic 输出 POWER_EN 信号为高，让 Orin NX 模块上电。Orin NX 模块启动完成后输出 SYS_RESET 信号为高电平，使能底板上的外设电源上电。

Figure 6-2. System Power and Control Block Diagram

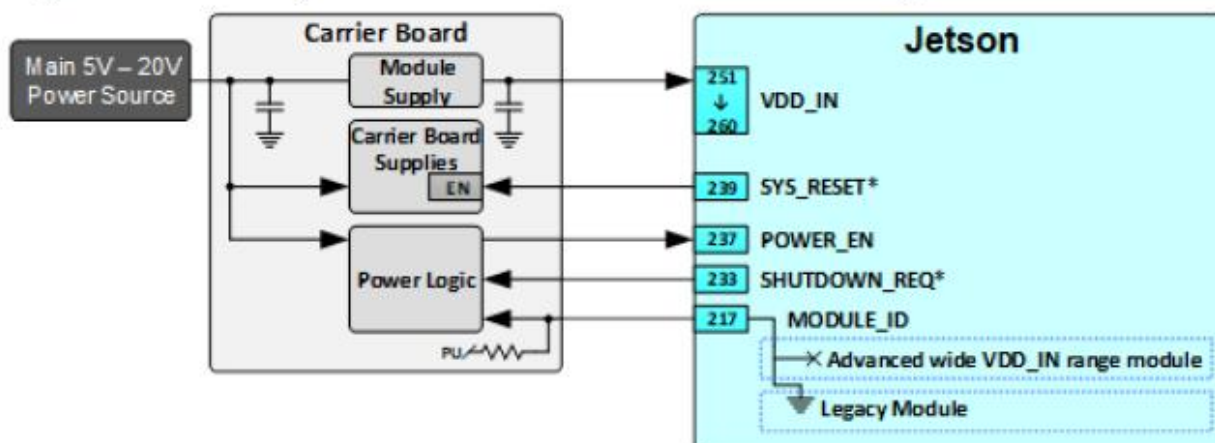


Figure 6-4. Power Up Sequence with Power Button

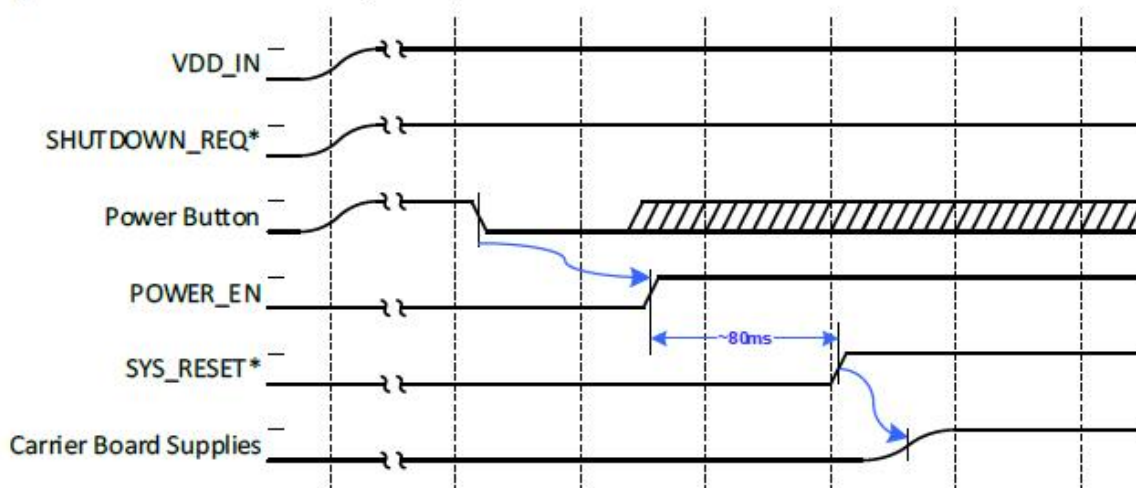


图 3-8-2 供电时序图

(九) 电源按键

AXVU13F 开发板上有 1 个电源开关按键，电源开关为带 LED 灯的自恢复按键。按键信号连接 NVIDIA Jetson Orin NX 的 SLEEP/WAKE 引脚，用户可以使用这个开关按键来控制板子上电和下电。

上电时，按一下电源开关，电源启动，需要断电时，需要长按电源开关（10s 以上），电源才会关闭。