Zynq UltraScale+
开发平台
AXU5EV-E 开发板

ALINX

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档
REV1.1	修正 J46 的 IO 管脚定义
REV1.2	修正核心板 J29 管脚定义错误

目 录

文档版本控制 2
一、 开发板简介 6
二、 ACU5EV 核心板 9
(一) 简介 9
(二) ZYNQ 芯片 10
(三) DDR4 DRAM 11
(四) QSPI Flash 17
(五) eMMC Flash 18
(六) 时钟配置 20
(七) LED 灯 22
(八) 电源 22
(九) 结构图 24
(十) 连接器管脚定义 24
三、 扩展板 33
(一) 简介 33
(二) M.2 接口 34
(三) DP 显示接口 35
(四) USB3.0 接口 36
(五) 千兆以太网接口 37
(六) USB Uart 接口 39
(七) SD 卡槽 40
(八) 40 针扩展口 41
(九) CAN 通信接口 42
(十) 485 通信接口 43
(十一) MIPI 接口 44
(十二) JTAG 调试口 45
(十三) RTC 实时时钟 46
(十四) EEPROM 和温度传感器 46
(十五) LED 灯 47

(十六) 按键 48
(十七) 拨码开关配置 48
(十八) 电源 49
(十九) 风扇 50
(二十) 结构尺寸图 51

芯驿电子科技（上海）有限公司 基于 XILINX Zynq UltraScale+ MPSoCs 开发平台的开发板（型号：AXU5EV-E）2020 款正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 MPSoCs 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。核心板使用 XILINX Zynq UltraScale+ EV 芯片 ZU5EV 的解决方案，它采用 Processing System(PS)+Programmable Logic(PL)技术将四核 ARM Cortex-A53 和 FPGA 可编程逻辑集成在一颗芯片上。另外核心板上 PS 端带有 4 片共 4GB 高速 DDR4 SDRAM 芯片，1 片 8GB 的 eMMC 存储芯片和 1 片 256Mb 的 QSPI FLASH 芯片；核心板上 PL 端带有 1 片 1GB 的 DDR4 SDRAM 芯片 。

在底板设计上我们为用户扩展了丰富的外围接口，比如 1 路 M.2 SSD 固态硬盘接口、1 路 DP 接口、4 个 USB3.0 接口、2 路千兆以太网接口、2 路 UART 串口接口、1 路 SD 卡接口、2 个 40 针扩展接口、2 路 CAN 总线接口、2 路 RS485 接口、1 个 MIPI 摄像头接口等等。满足用户各种高速数据交换，数据存储，视频传输处理，深度学习，人工智能以及工业控制的要求，是一款"专业级“的 ZYNQ 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 MPSoCs 开发的学生、工程师等群体。

一、 开发板简介

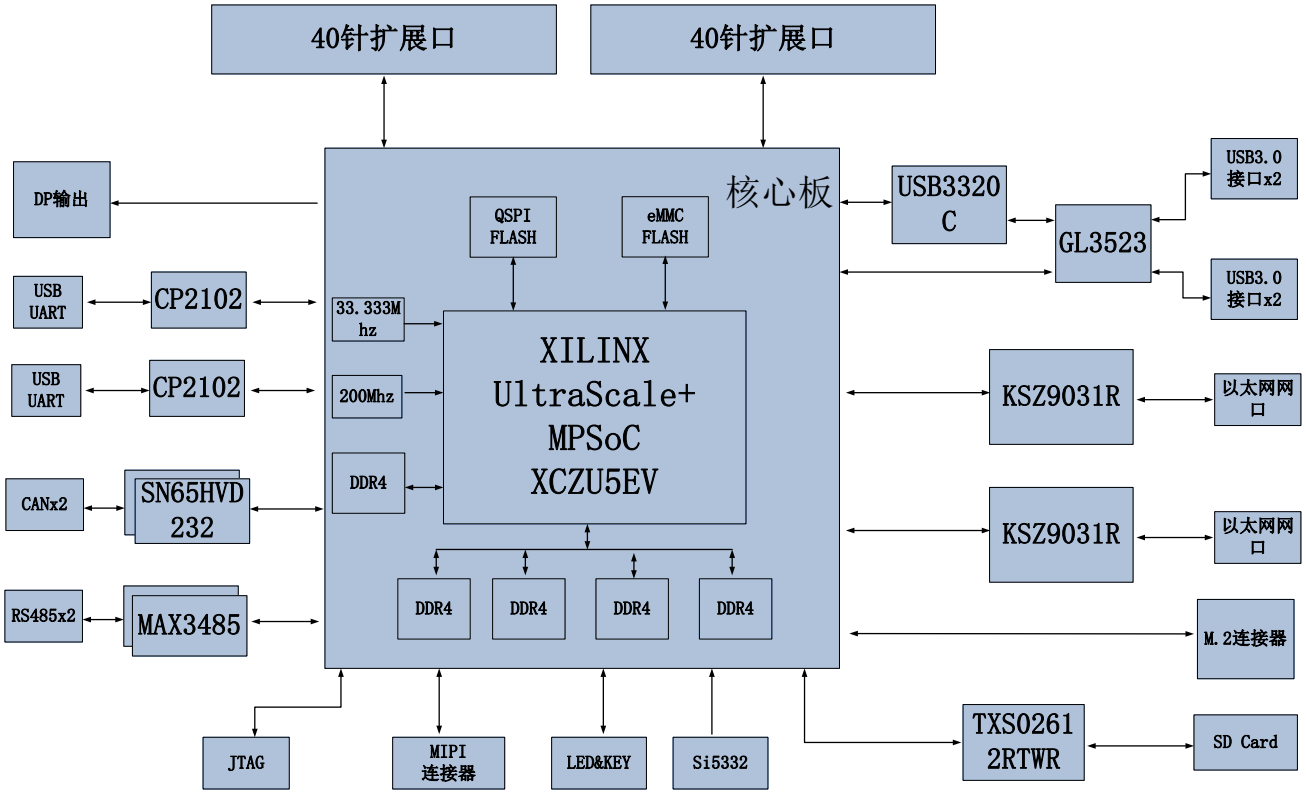
在这里，对这款 AXU5EV-E MPSoCs 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 ZU5EV + 5 个 DDR4 + eMMC +1 个 QSPI FLASH 的最小系统构成。ZU5EV 采用 Xilinx 公司的 Zynq UltraScale+ MPSoCs EV 系列的芯片，型号为 XCZU5EV-2SFVC784I。ZU5EV 芯片可分成处理器系统部分 Processor System（PS）和可编程逻辑部分 Programmable Logic（PL）。在 ZU5EV 芯片的 PS 端和 PL 端分别挂了 4 片和 1 片 DDR4，每片 DDR4 容量高达 1G 字节，使得 ARM 系统和 FPGA 系统能独立处理和存储的数据的功能。PS 端的 8GB eMMC FLASH 存储芯片和 1 片 256Mb 的 QSPI FLASH 用来静态存储 MPSoCs 的操作系统、文件系统及用户数据。

底板为核心板扩展了丰富的外围接口 其中包含 1 路 M.2 接口、1 路 DP 接口、4 路 USB3.0 接口、2 路千兆以太网接口、2 路 UART 串口接口、1 路 SD 卡接口、2 个 40 针扩展接口、2 路 CAN 总线接口，2 路 RS485 接口，1 路 MIPI 接口和一些按键 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- ZU5EV 核心板

由 ZU5EV+4GB DDR4（PS）+1GB DDR4（PL）+8GB eMMC FLASH + 256Mb QSPI FLASH 组成，另外有 2 个晶振提供时钟，一个单端 33.3333MHz 晶振提供给 PS 系统，一个差分 200MHz 晶振提供给 PL 逻辑 DDR 参考时钟。

- M.2 接口

1 路 PCIEx1 标准的 M.2 接口，用于连接 M.2 的 SSD 固态硬盘，通信速度高达 6Gbps。

- DP 输出接口

1 路标准的 Display Port 输出显示接口，用于视频图像的显示。最高支持 4K@30Hz 或者 1080P@60Hz 输出。

- USB3.0 接口

4 路 USB3.0 HOST 接口，USB 接口类型为 TYPE A。用于连接外部的 USB 外设，比如连接鼠标，键盘，U 盘等等。

- 千兆以太网接口

2 路 10/100M/1000M 以太网 RJ45 接口，PS 和 PL 各 1 路。用于和电脑或其它网络设备进行以太网数据交换。

- USB Uart 接口

2 路 Uart 转 USB 接口，PS 和 PL 各 1 路。用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- 40 针扩展口

2 个 40 针 2.54mm 间距的扩展口，可以外接黑金的各种模块（双目摄像头，TFT LCD 屏，高速 AD 模块等等）。扩展口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。

- CAN 通信接口

2 路 CAN 总线接口，选用 TI 公司的 SN65HVD232 芯片，接口采用 4Pin 的绿色接线端子。

- 485 通信接口

2 路 485 通信接口，选用 MAXIM 公司的 MAX3485 芯片。接口采用 6Pin 的绿色接线端子。

- MIPI 接口

2 个 LANE 的 MIPI 摄像头输入接口，用于连接 MIPI 摄像头模块（AN5641）。

- JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口 ,用于 FPGA 程序的下载和调试 ,用户可以通过 XILINX 下载器对 ZU5EV 系统进行调试和下载。

- 温湿度传感器

板载 1 片温湿度传感器芯片 LM75，用于检测板子周围环境的温度和湿度。

- EEPROM

1 片 IIC 接口的 EEPROM 24LC04;

- RTC 实时时钟

1 路内置的 RTC 实时时钟；

- LED 灯

5 个发光二极管 LED, 核心板上 2 个 ,底板上 3 个。核心板上 1 个电源指示灯和 1 个 DONE 配置指示灯,。底板上有 1 个电源指示灯，2 个用户指示灯。

- 按键

3 个按键，1 个复位按键， 2 个用户按键。

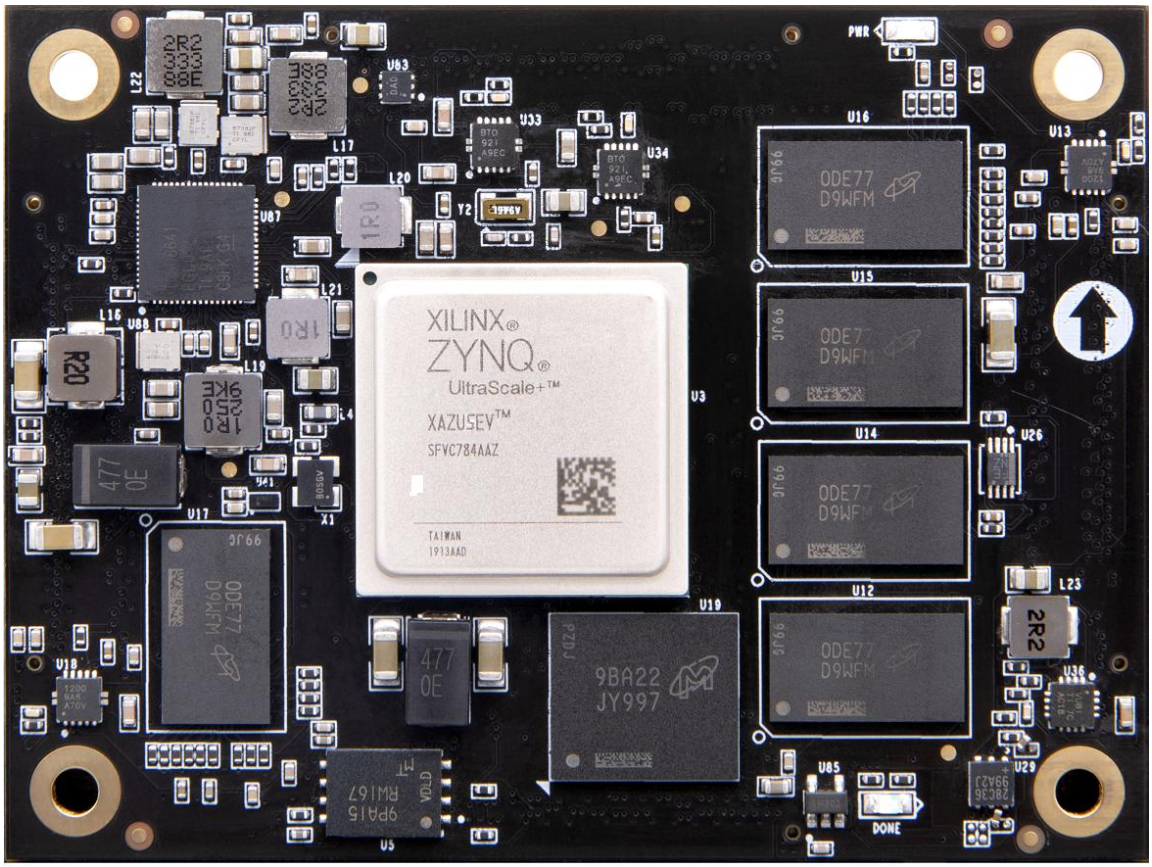
二、 ACU5EV 核心板

(一) 简介

ACU5EV(**核心板型号，下同**)核心板，ZYNQ 芯片是基于 XILINX 公司的 Zynq UltraScale+ MPSoCs EV 系列的 XCZU5EV-2SFVC784I。

这款核心板使用了 5 片 Micron 的 DDR4 芯片 MT40A512M16GE,其中 PS 端挂载 4 片 DDR4，组成 64 位数据总线带宽和 4GB 的容量。PL 端挂载 1 片，为 16 位的数据总线宽度和 1GB 的容量。PS 端的 DDR4 SDRAM 的最高运行速度可达 1200MHz(数据速率 2400Mbps)，PL 端的 DDR4 SDRAM 的最高运行速度可达 1066MHz(数据速率 2132Mbps)。另外核心板上也集成了 1 片 256MBit 大小的 QSPI FLASH 和 8GB 大小的 eMMC FLASH 芯片，用于启动存储配置和系统文件。

为了和底板连接，这款核心板的 4 个板对板连接器扩展出了 PS 端的 USB2.0 接口，千兆以太网接口，SD 卡接口及其它剩余的 MIO 口；也扩展出了 4 对 PS MGT 高速收发器接口；以及 PL 端的几乎所有 IO 口（HP I/O：96 个，HD I/O：84 个），XCZU5EV 芯片到接口之间走线做了等长和差分处理，并且核心板尺寸仅为 80*60（mm），对于二次开发来说，非常适合。



ACU5EV 核心板正面图

(二) ZYNQ 芯片

开发板使用的是 Xilinx 公司的 Zynq UltraScale+ MPSoCs EV 系列的系列的芯片，型号为 XCZU5EV-2SFVC784I。ZU5EV 芯片的 PS 系统集成了 4 个 ARM Cortex™-A53 处理器，速度高达 1.2Ghz ,支持 2 级 Cache; 另外还包含 2 个 Cortex-R5 处理器 ,速度高达 500Mhz。

ZU5EV 芯片支持 32 位或者 64 位的 DDR4，LPDDR4，DDR3,DDR3L, LPDDR3 存储芯片，在 PS 端带有丰富的高速接口如 PCIE Gen2, USB3.0, SATA 3.1, DisplayPort；同时另外也支持 USB2.0，千兆以太网，SD/SDIO，I2C，CAN，UART，GPIO 等接口。PL 端内部含有丰富的可编程逻辑单元，DSP 和内部 RAM。ZU5EV 芯片的总体框图如图 2-2-1 所示

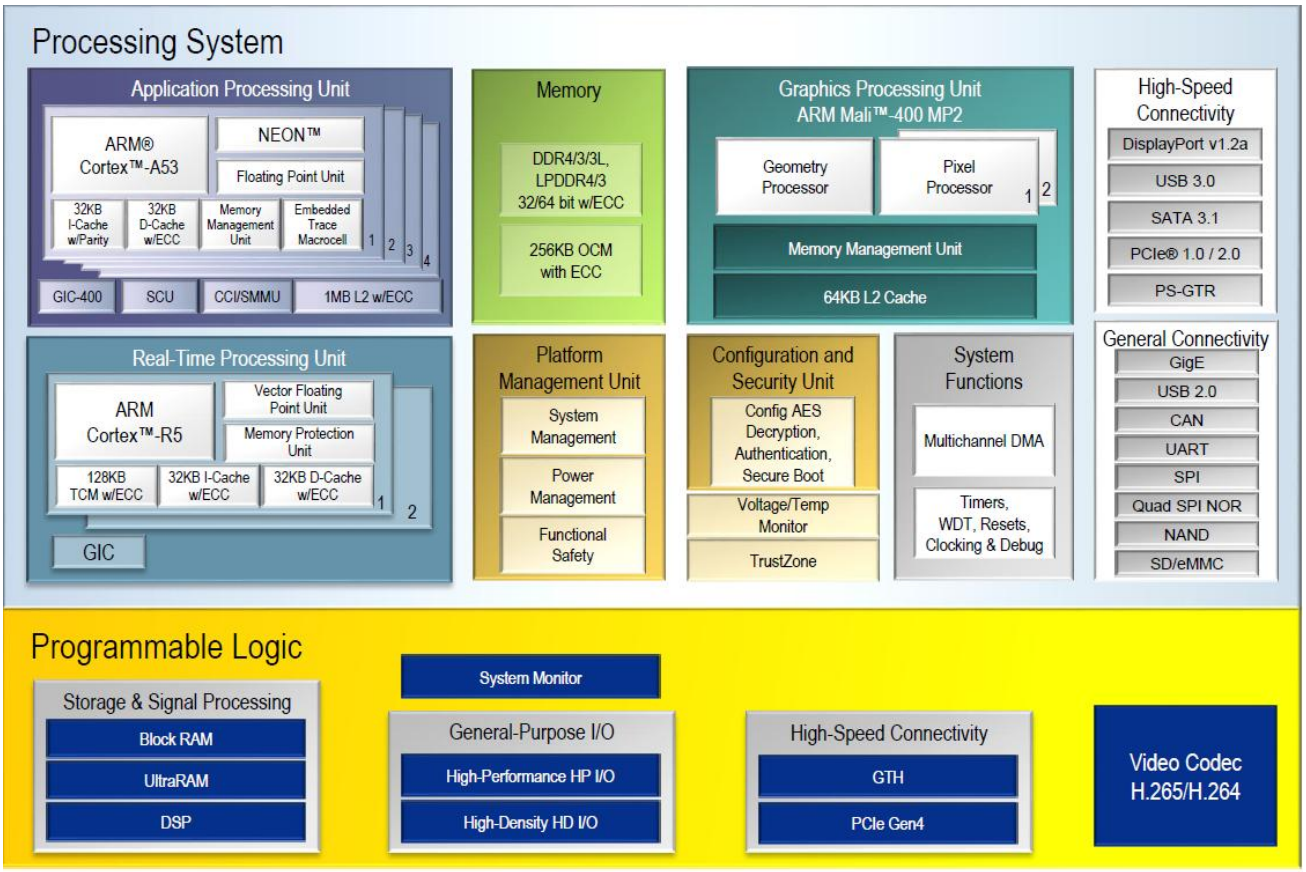


图2-2-1 ZYNQ ZU5EV芯片的总体框图

其中 PS 系统部分的主要参数如下：

- ARM 四核 Cortex™-A53 处理器，速度高达 1.5GHz，每个 CPU 32KB 1 级指令和数据缓存，1MB 2 级缓存 2 个 CPU 共享。
- ARM 双核 Cortex-R5 处理器，速度高达 600MHz，每个 CPU 32KB 1 级指令和数据缓存，及 128K 紧耦合内存。
- 图像视频处理器 Mali-400 MP2，速度高达 677MHz，64KB 2 级缓存。
- 外部存储接口，支持 32/64bit DDR4/3/3L、LPDDR4/3 接口。

- 静态存储接口，支持 NAND, 2xQuad-SPI FLASH。
- 高速连接接口，支持 PCIe Gen2 x4, 2xUSB3.0, Sata 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet。
- 普通连接接口：2xUSB2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO。
- 电源管理：支持 Full/Low/PL/Battery 四部分电源的划分。
- 加密算法：支持 RSA, AES 和 SHA。
- 系统监控：10 位 1Mbps 的 AD 采样，用于温度和电压的检测。

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元(System Logic Cells)：256.2K；
- 触发器(CLB flip-flops)：234.24K；
- 查找表(CLBLUTs)：117.12K；
- Block RAM：5.1Mb；
- 时钟管理单元（CMTs）：4 个
- DSP Slices：1248 个
- 图像编解码单元（VCU）：1 个
- PCIE3.0：2 个
- GTH 12.5Gb/s 收发器： 4 个

XCZU5EV-2SFVC784I芯片的速度等级为-2，工业级，封装为SFVC784。

(三) DDR4 DRAM

ACU5EV核心板上配有5片Micron(美光）的1GB的DDR4芯片,型号为MT40A512M16LY-062E, 其中PS端挂载4片DDR4，组成64位数据总线带宽和4GB的容量。PL端挂载1片，为16位的数据总线宽度和1GB的容量。PS端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps)，4片DDR4存储系统直接连接到了PS的BANK504的存储器接口上。PL端的DDR4 SDRAM的最高运行速度可达1066MHz(数据速率2133Mbps)，1片DDR4连接到了FPGA的BANK64的接口上。DDR4 SDRAM的具体配置如下表2-3-1所示。

位号	芯片型号	容量	厂家
U12,U14,U15,U16	MT40A512M16LY-062E	512M x 16bit	Micron

表 2-3-1 DDR4 SDRAM 配置

DDR4 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR4 的高速稳定的工作。

PS 端的 DDR4 的硬件连接方式如图 2-3-1 所示:

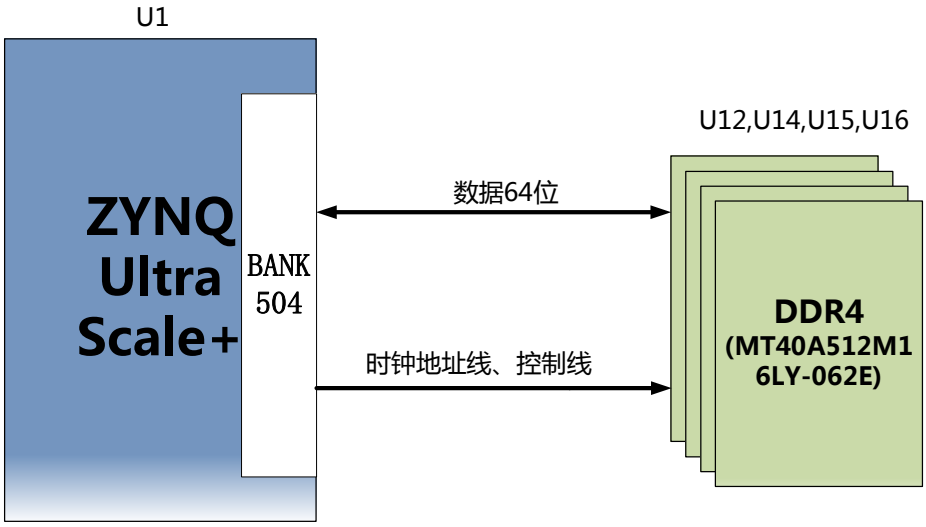


图2-3-1 PS端DDR4 DRAM原理图部分

PL 端的 DDR4 DRAM 的硬件连接方式如图 2-3-2 所示:

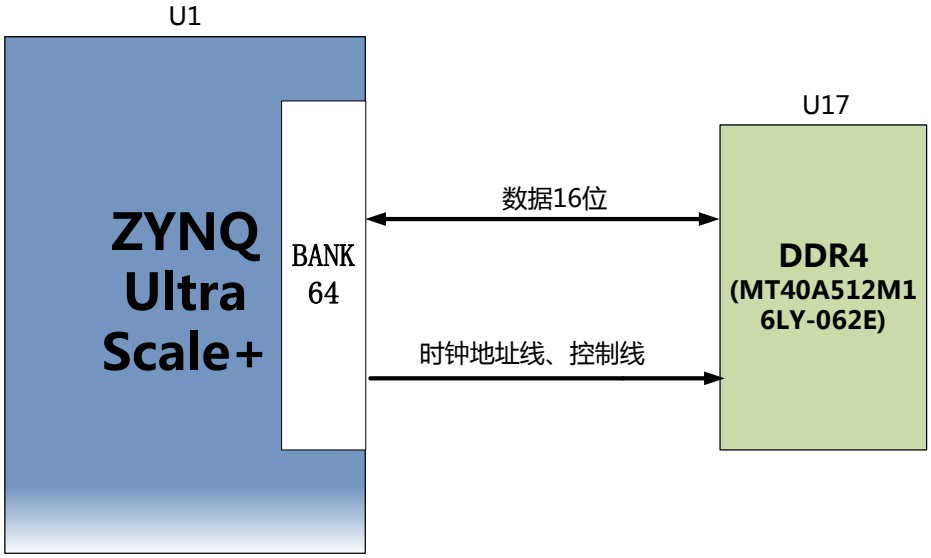


图2-3-2 PL端DDR4 DRAM原理图部分

PS 端 DDR4 SDRAM 引脚分配：

信号名称	引脚名	引脚号
PS_DDR4_DQS0_P	PS_DDR_DQS_P0_504	AF21
PS_DDR4_DQS0_N	PS_DDR_DQS_N0_504	AG21
PS_DDR4_DQS1_P	PS_DDR_DQS_P1_504	AF23
PS_DDR4_DQS1_N	PS_DDR_DQS_N1_504	AG23
PS_DDR4_DQS2_P	PS_DDR_DQS_P2_504	AF25

PS_DDR4_DQS2_N	PS_DDR_DQS_N2_504	AF26
PS_DDR4_DQS3_P	PS_DDR_DQS_P3_504	AE27
PS_DDR4_DQS3_N	PS_DDR_DQS_N3_504	AF27
PS_DDR4_DQS4_P	PS_DDR_DQS_P4_504	N23
PS_DDR4_DQS4_N	PS_DDR_DQS_N4_504	M23
PS_DDR4_DQS5_P	PS_DDR_DQS_P5_504	L23
PS_DDR4_DQS5_N	PS_DDR_DQS_N5_504	K23
PS_DDR4_DQS6_P	PS_DDR_DQS_P6_504	N26
PS_DDR4_DQS6_N	PS_DDR_DQS_N6_504	N27
PS_DDR4_DQS7_P	PS_DDR_DQS_P7_504	J26
PS_DDR4_DQS7_N	PS_DDR_DQS_N7_504	J27
PS_DDR4_DQ0	PS_DDR_DQ0_504	AD21
PS_DDR4_DQ1	PS_DDR_DQ1_504	AE20
PS_DDR4_DQ2	PS_DDR_DQ2_504	AD20
PS_DDR4_DQ3	PS_DDR_DQ3_504	AF20
PS_DDR4_DQ4	PS_DDR_DQ4_504	AH21
PS_DDR4_DQ5	PS_DDR_DQ5_504	AH20
PS_DDR4_DQ6	PS_DDR_DQ6_504	AH19
PS_DDR4_DQ7	PS_DDR_DQ7_504	AG19
PS_DDR4_DQ8	PS_DDR_DQ8_504	AF22
PS_DDR4_DQ9	PS_DDR_DQ9_504	AH22
PS_DDR4_DQ10	PS_DDR_DQ10_504	AE22
PS_DDR4_DQ11	PS_DDR_DQ11_504	AD22
PS_DDR4_DQ12	PS_DDR_DQ12_504	AH23
PS_DDR4_DQ13	PS_DDR_DQ13_504	AH24
PS_DDR4_DQ14	PS_DDR_DQ14_504	AE24
PS_DDR4_DQ15	PS_DDR_DQ15_504	AG24
PS_DDR4_DQ16	PS_DDR_DQ16_504	AC26
PS_DDR4_DQ17	PS_DDR_DQ17_504	AD26
PS_DDR4_DQ18	PS_DDR_DQ18_504	AD25
PS_DDR4_DQ19	PS_DDR_DQ19_504	AD24
PS_DDR4_DQ20	PS_DDR_DQ20_504	AG26
PS_DDR4_DQ21	PS_DDR_DQ21_504	AH25
PS_DDR4_DQ22	PS_DDR_DQ22_504	AH26
PS_DDR4_DQ23	PS_DDR_DQ23_504	AG25

PS_DDR4_DQ24	PS_DDR_DQ24_504	AH27
PS_DDR4_DQ25	PS_DDR_DQ25_504	AH28
PS_DDR4_DQ26	PS_DDR_DQ26_504	AF28
PS_DDR4_DQ27	PS_DDR_DQ27_504	AG28
PS_DDR4_DQ28	PS_DDR_DQ28_504	AC27
PS_DDR4_DQ29	PS_DDR_DQ29_504	AD27
PS_DDR4_DQ30	PS_DDR_DQ30_504	AD28
PS_DDR4_DQ31	PS_DDR_DQ31_504	AC28
PS_DDR4_DQ32	PS_DDR_DQ32_504	T22
PS_DDR4_DQ33	PS_DDR_DQ33_504	R22
PS_DDR4_DQ34	PS_DDR_DQ34_504	P22
PS_DDR4_DQ35	PS_DDR_DQ35_504	N22
PS_DDR4_DQ36	PS_DDR_DQ36_504	T23
PS_DDR4_DQ37	PS_DDR_DQ37_504	P24
PS_DDR4_DQ38	PS_DDR_DQ38_504	R24
PS_DDR4_DQ39	PS_DDR_DQ39_504	N24
PS_DDR4_DQ40	PS_DDR_DQ40_504	H24
PS_DDR4_DQ41	PS_DDR_DQ41_504	J24
PS_DDR4_DQ42	PS_DDR_DQ42_504	M24
PS_DDR4_DQ43	PS_DDR_DQ43_504	K24
PS_DDR4_DQ44	PS_DDR_DQ44_504	J22
PS_DDR4_DQ45	PS_DDR_DQ45_504	H22
PS_DDR4_DQ46	PS_DDR_DQ46_504	K22
PS_DDR4_DQ47	PS_DDR_DQ47_504	L22
PS_DDR4_DQ48	PS_DDR_DQ48_504	M25
PS_DDR4_DQ49	PS_DDR_DQ49_504	M26
PS_DDR4_DQ50	PS_DDR_DQ50_504	L25
PS_DDR4_DQ51	PS_DDR_DQ51_504	L26
PS_DDR4_DQ52	PS_DDR_DQ52_504	K28
PS_DDR4_DQ53	PS_DDR_DQ53_504	L28
PS_DDR4_DQ54	PS_DDR_DQ54_504	M28
PS_DDR4_DQ55	PS_DDR_DQ55_504	N28
PS_DDR4_DQ56	PS_DDR_DQ56_504	J28
PS_DDR4_DQ57	PS_DDR_DQ57_504	K27
PS_DDR4_DQ58	PS_DDR_DQ58_504	H28

PS_DDR4_DQ59	PS_DDR_DQ59_504	H27
PS_DDR4_DQ60	PS_DDR_DQ60_504	G26
PS_DDR4_DQ61	PS_DDR_DQ61_504	G25
PS_DDR4_DQ62	PS_DDR_DQ62_504	K25
PS_DDR4_DQ63	PS_DDR_DQ63_504	J25
PS_DDR4_DM0	PS_DDR_DM0_504	AG20
PS_DDR4_DM1	PS_DDR_DM1_504	AE23
PS_DDR4_DM2	PS_DDR_DM2_504	AE25
PS_DDR4_DM3	PS_DDR_DM3_504	AE28
PS_DDR4_DM4	PS_DDR_DM4_504	R23
PS_DDR4_DM5	PS_DDR_DM5_504	H23
PS_DDR4_DM6	PS_DDR_DM6_504	L27
PS_DDR4_DM7	PS_DDR_DM7_504	H26
PS_DDR4_A0	PS_DDR_A0_504	W28
PS_DDR4_A1	PS_DDR_A1_504	Y28
PS_DDR4_A2	PS_DDR_A2_504	AB28
PS_DDR4_A3	PS_DDR_A3_504	AA28
PS_DDR4_A4	PS_DDR_A4_504	Y27
PS_DDR4_A5	PS_DDR_A5_504	AA27
PS_DDR4_A6	PS_DDR_A6_504	Y22
PS_DDR4_A7	PS_DDR_A7_504	AA23
PS_DDR4_A8	PS_DDR_A8_504	AA22
PS_DDR4_A9	PS_DDR_A9_504	AB23
PS_DDR4_A10	PS_DDR_A10_504	AA25
PS_DDR4_A11	PS_DDR_A11_504	AA26
PS_DDR4_A12	PS_DDR_A12_504	AB25
PS_DDR4_A13	PS_DDR_A13_504	AB26
PS_DDR4_WE_B	PS_DDR_A14_504	AB24
PS_DDR4_CAS_B	PS_DDR_A15_504	AC24
PS_DDR4_RAS_B	PS_DDR_A16_504	AC23
PS_DDR4_ACT_B	PS_DDR_ACT_N_504	Y23
PS_DDR4_ALERT_B	PS_DDR_ALERT_N_504	U25
PS_DDR4_BA0	PS_DDR_BA0_504	V23
PS_DDR4_BA1	PS_DDR_BA1_504	W22
PS_DDR4_BG0	PS_DDR_BG0_504	W24

PS_DDR4_CS0_B	PS_DDR_CS_N0_504	W27
PS_DDR4_ODT0	PS_DDR_ODT0_504	U28
PS_DDR4_PARITY	PS_DDR_PARITY_504	V24
PS_DDR4_RESET_B	PS_DDR_RST_N_504	U23
PS_DDR4_CLK0_P	PS_DDR_CK0_P_504	W25
PS_DDR4_CLK0_N	PS_DDR_CK0_N_504	W26
PS_DDR4_CKE0	PS_DDR_CKE0_504	V28

PL 端 DDR4 SDRAM 引脚分配：

信号名称	引脚名	引脚号
PL_DDR4_DQS0_P	IO_L22P_T3U_N6_DBC_AD0P_64	AE2
PL_DDR4_DQS0_N	IO_L22N_T3U_N7_DBC_AD0N_64	AF2
PL_DDR4_DQS1_P	IO_L16P_T2U_N6_QBC_AD3P_64	AD2
PL_DDR4_DQS1_N	IO_L16N_T2U_N7_QBC_AD3N_64	AD1
PL_DDR4_DQ0	IO_L24N_T3U_N11_64	AG1
PL_DDR4_DQ1	IO_L24P_T3U_N10_64	AF1
PL_DDR4_DQ2	IO_L23N_T3U_N9_64	AH1
PL_DDR4_DQ3	IO_L23P_T3U_N8_64	AH2
PL_DDR4_DQ4	IO_L21N_T3L_N5_AD8N_64	AF3
PL_DDR4_DQ5	IO_L21P_T3L_N4_AD8P_64	AE3
PL_DDR4_DQ6	IO_L20N_T3L_N3_AD1N_64	AH3
PL_DDR4_DQ7	IO_L20P_T3L_N2_AD1P_64	AG3
PL_DDR4_DQ8	IO_L18N_T2U_N11_AD2N_64	AC1
PL_DDR4_DQ9	IO_L18P_T2U_N10_AD2P_64	AB1
PL_DDR4_DQ10	IO_L17N_T2U_N9_AD10N_64	AC2
PL_DDR4_DQ11	IO_L17P_T2U_N8_AD10P_64	AB2
PL_DDR4_DQ12	IO_L15N_T2L_N5_AD11N_64	AB3
PL_DDR4_DQ13	IO_L15P_T2L_N4_AD11P_64	AB4
PL_DDR4_DQ14	IO_L14N_T2L_N3_GC_64	AC3
PL_DDR4_DQ15	IO_L14P_T2L_N2_GC_64	AC4
PL_DDR4_DM0	IO_L19P_T3L_N0_DBC_AD9P_64	AG4
PL_DDR4_DM1	IO_L13P_T2L_N0_GC_QBC_64	AD5
PL_DDR4_A0	IO_L8N_T1L_N3_AD5N_64	AG8
PL_DDR4_A1	IO_L3P_T0L_N4_AD15P_64	AB8

PL_DDR4_A2	IO_L8P_T1L_N2_AD5P_64	AF8
PL_DDR4_A3	IO_L3N_T0L_N5_AD15N_64	AC8
PL_DDR4_A4	IO_L11P_T1U_N8_GC_64	AF7
PL_DDR4_A5	IO_L4P_T0U_N6_DBC_AD7P_64	AD7
PL_DDR4_A6	IO_L9N_T1L_N5_AD12N_64	AH7
PL_DDR4_A7	IO_L2P_T0L_N2_64	AE9
PL_DDR4_A8	IO_L9P_T1L_N4_AD12P_64	AH8
PL_DDR4_A9	IO_L1P_T0L_N0_DBC_64	AC9
PL_DDR4_A10	IO_L4N_T0U_N7_DBC_AD7N_64	AE7
PL_DDR4_A11	IO_L7N_T1L_N1_QBC_AD13N_64	AH9
PL_DDR4_A12	IO_L6N_T0U_N11_AD6N_64	AC6
PL_DDR4_A13	IO_L1N_T0L_N1_DBC_64	AD9
PL_DDR4_BA0	IO_T1U_N12_64	AH6
PL_DDR4_BA1	IO_L5N_T0U_N9_AD14N_64	AC7
PL_DDR4_RAS_B	IO_T2U_N12_64	AB5
PL_DDR4_CAS_B	IO_L5P_T0U_N8_AD14P_64	AB7
PL_DDR4_WE_B	IO_L11N_T1U_N9_GC_64	AF6
PL_DDR4_ACT_B	IO_L13N_T2L_N1_GC_QBC_64	AD4
PL_DDR4_CS_B	IO_L6P_T0U_N10_AD6P_64	AB6
PL_DDR4_BG0	IO_L2N_T0L_N3_64	AE8
PL_DDR4_RST	IO_L7P_T1L_N0_QBC_AD13P_64	AG9
PL_DDR4_CLK_N	IO_L10N_T1U_N7_QBC_AD4N_64	AG5
PL_DDR4_CLK_P	IO_L10P_T1U_N6_QBC_AD4P_64	AG6
PL_DDR4_CKE	IO_T3U_N12_64	AE4
PL_DDR4_OTD	IO_L19N_T3L_N1_DBC_AD9N_64	AH4

(四) QSPI Flash

ACU5EV 核心板配有 1 片 256MBit 大小的 Quad-SPI FLASH 芯片组成 8 位带宽数据总线 ,FLASH 型号为 MT25QU256ABA1EW9 ,它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中， 它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家

U5	MT25QU256ABA1EW9	256M bit	Winbond

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上 ,在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 4-1 为 QSPI Flash 在原理图中的部分。

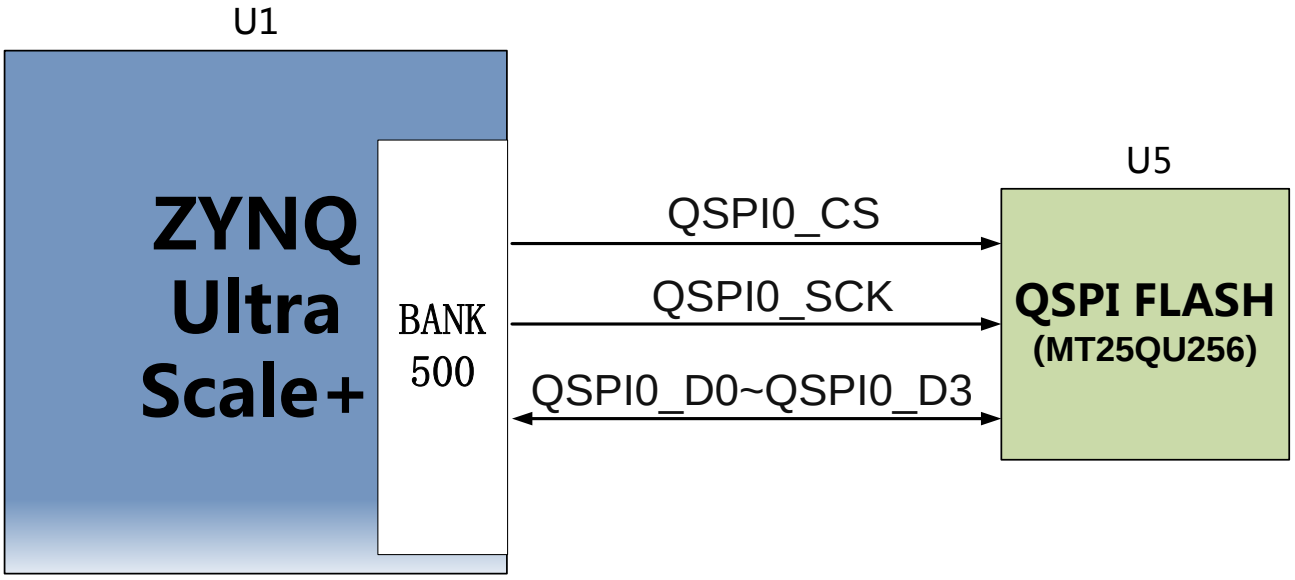


图 2-4-1 QSPI Flash 连接示意图

配置芯片引脚分配：

信号名称	引脚名	引脚号
MIO0_QSPI0_SCLK	PS_MIO0_500	AG15
MIO1_QSPI0_IO1	PS_MIO1_500	AG16
MIO2_QSPI0_IO2	PS_MIO2_500	AF15
MIO3_QSPI0_IO3	PS_MIO3_500	AH15
MIO4_QSPI0_IO0	PS_MIO4_500	AH16
MIO5_QSPI0_SS_B	PS_MIO5_500	AD16

(五) eMMC Flash

ACU5EV 核心板配有一片大容量的 8GB 大小的 eMMC FLASH 芯片，型号为 MTFC8GAKAJCN-4M，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V 或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 8bit。由于 eMMC FLASH 的大容量

和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-5-1。

位号	芯片类型	容量	厂家
U19	MTFC8GAKAJCN-4M	8G Byte	Micron

表2-5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ UltraScale+的 PS 部分 BANK500 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 EMMC 接口。为图 2-5-1 为 eMMC Flash 在原理图中的部分。

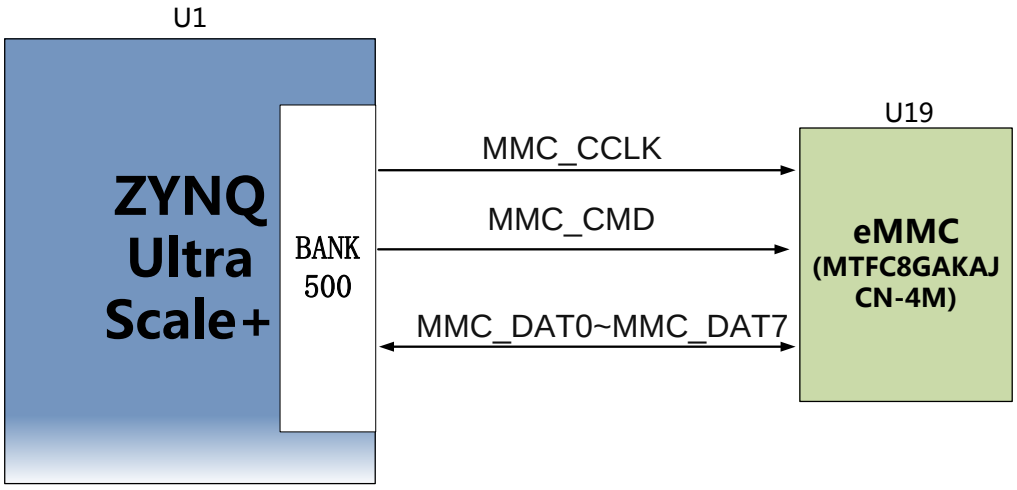


图 2-5-1 eMMC Flash 连接示意图

配置芯片引脚分配：

信号名称	引脚名	引脚号
MMC_DAT0	PS_MIO13_500	AH18
MMC_DAT1	PS_MIO14_500	AG18
MMC_DAT2	PS_MIO15_500	AE18
MMC_DAT3	PS_MIO16_500	AF18
MMC_DAT4	PS_MIO17_500	AC18
MMC_DAT5	PS_MIO18_500	AC19
MMC_DAT6	PS_MIO19_500	AE19
MMC_DAT7	PS_MIO20_500	AD19
MMC_CMD	PS_MIO21_500	AC21
MMC_CCLK	PS_MIO22_500	AB20
MMC_RSTN	PS_MIO23_500	AB18

(六) 时钟配置

核心板上分别为 PS 系统, PL 逻辑部分提供了参考时钟和 RTC 实时时钟 ,使 PS 系统和 PL 逻辑可以单独工作。时钟电路设计的示意图如下图 2-6-1 所示：

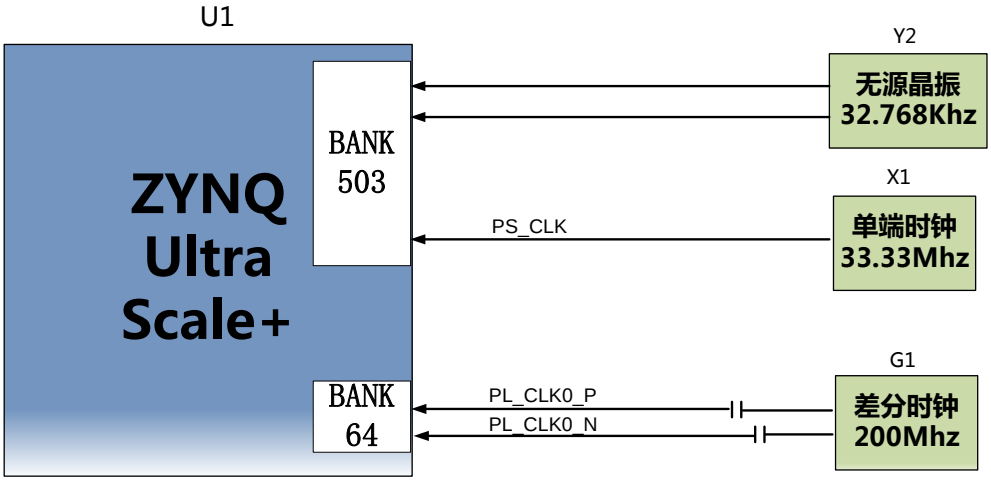


图 2-6-1 核心板时钟源

PS 系统 RTC 实时时钟

核心板上的无源晶体 Y2 为 PS 系统的提供 32.768KHz 的实时时钟源。晶体连接到 ZYNQ 芯片的 BANK503 的 PS_PADI_503 和 PS_PADO_503 的管脚上。其原理图如图 2-6-2 所示：

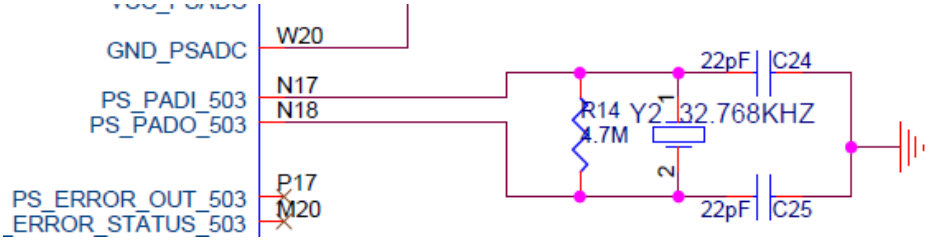


图 2-6-2 RTC 的无源晶振

时钟引脚分配：

信号名称	引脚
PS_PADI_503	**N17**
PS_PADO_503	**N18**

PS 系统时钟源

核心板上的 X1 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK503 的 PS_REF_CLK_503 的管脚上。其原理图如图 2-6-3 所示：

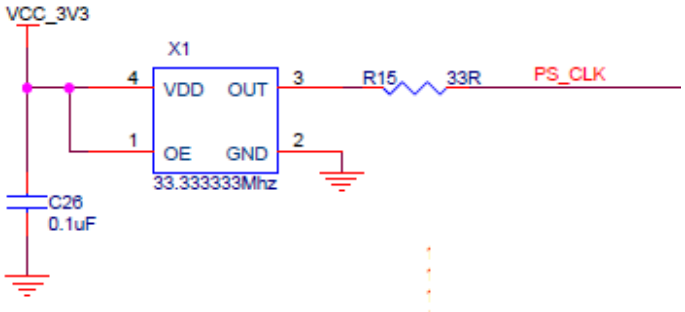


图 2-6-3 PS 部分的有源晶振

时钟引脚分配：

信号名称	引脚
PS_CLK	R16

PL 系统时钟源

板上提供了一个差分 200MHz 的 PL 系统时钟源，用于 DDR4 控制器的参考时钟。晶振输出连接到 PL BANK64 的全局时钟(MRCC)，这个全局时钟可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。该时钟源的原理图如图 2-6-4 所示

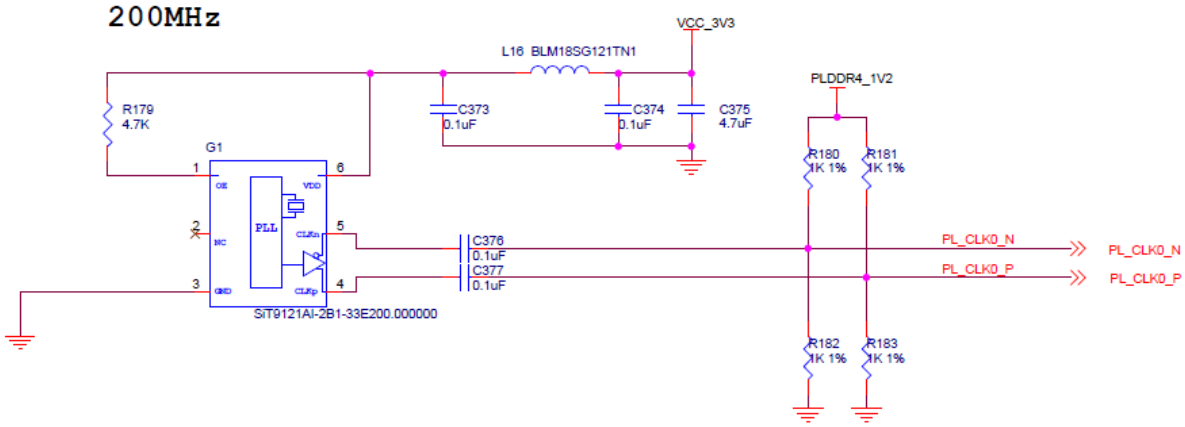


图 2-6-4 PL系统时钟源

PL 时钟引脚分配：

信号名称	引脚
PL_CLK0_P	AE5
PL_CLK0_N	AF5

(七) LED 灯

ACU5EV 核心板上有 1 个红色电源指示灯(PWR)，1 个是配置 LED 灯(DONE)。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。LED 灯硬件连接的示意图如图 2-7-1 所示：

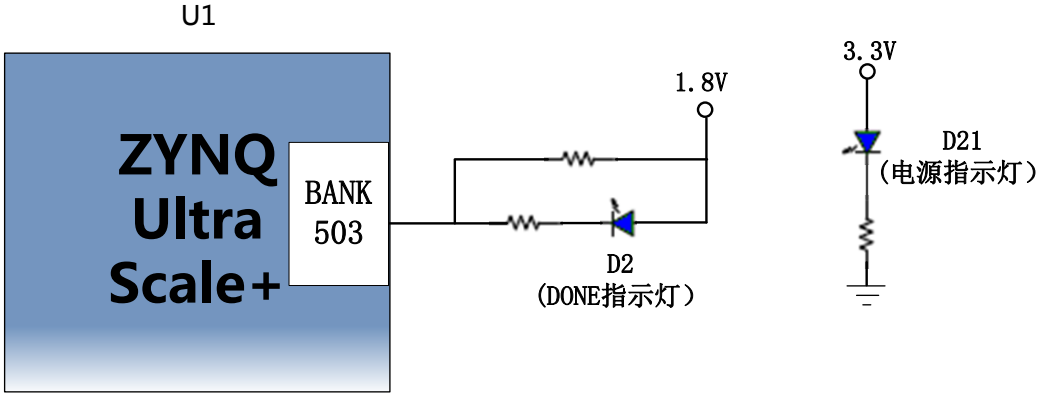
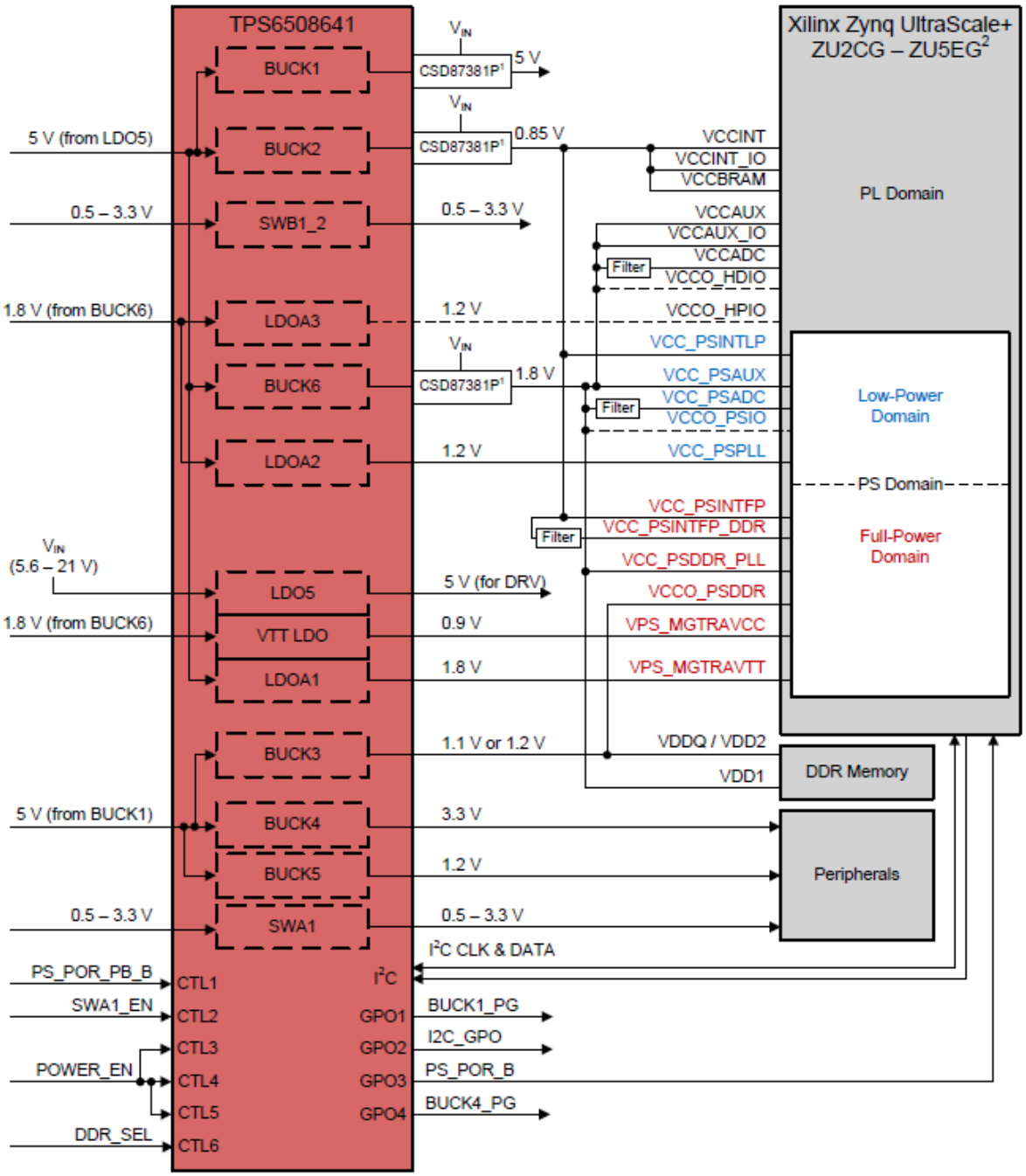


图 2-7-1 核心板 LED 灯硬件连接示意图

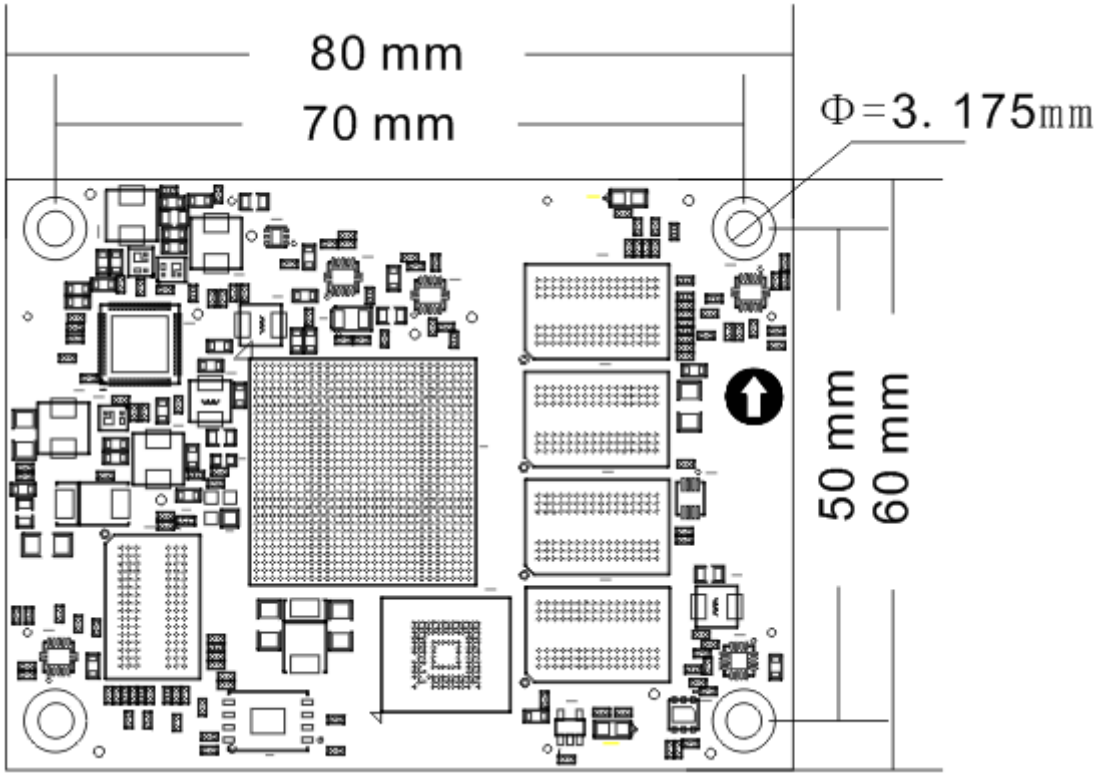
(八) 电源

ACU5EV 核心板供电电压为+12V ,通过连接底板给核心板供电。核心板上通过一个 PMIC 芯片 TPS6508641 产生 XCZU5EV 芯片所需要的所有电源，TPS6508641 电源设计请参考电源芯片手册，设计框图如下：



另外 XCZU5EV 芯片的 BANK65 ,BANK66 的 VCCIO 电源是由底板提供 ,方便用户修改，但供电最高不能超过 1.8V。

(九) 结构图



正面图（Top View）

(十) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口，使用 4 个 120Pin 的板间连接器（J29~J32）和底板连接，连接器使用松下的 AXK5A2137YG，对应底板的连接器型号为 AXK6A2337YG。其中 J29 连接 BANK65,BANK66 的 IO ,J30 连接 BANK25,BANK26 ,BANK66 的 IO 和 BANK505 MGT 的收发器信号, J31 连接 BANK24,BANK44 的 IO，J32 连接 PS 的 MIO，VCCO_65，VCCO_66 和+12V 电源。

其中 BANK43~46 的 IO 的电平标准为 3.3V，BANK65,66 的电平标准由底板的 VCCO_65，VCCO_66 电源决定，但不能超过+1.8V；MIO 的电平标准也为 1.8V。

J29 连接器的引脚分配

J29 管脚	信号名称	引脚号	J29 管脚	信号名称	引脚号
1	B65_L2_N	V9	2	B65_L22_P	K8
3	B65_L2_P	U9	4	B65_L22_N	K7
5	GND	-	6	GND	-
7	B65_L4_N	T8	8	B65_L20_P	J6

9	B65_L4_P	R8	10	B65_L20_N	H6
11	GND	-	12	GND	-
13	B65_L1_N	Y8	14	B65_L6_N	T6
15	B65_L1_P	W8	16	B65_L6_P	R6
17	GND	-	18	GND	-
19	B65_L7_P	L1	20	B65_L17_P	N9
21	B65_L7_N	K1	22	B65_L17_N	N8
23	GND	-	24	GND	-
25	B65_L15_P	N7	26	B65_L9_P	K2
27	B65_L15_N	N6	28	B65_L9_N	J2
29	GND	-	30	GND	-
31	B65_L16_P	P7	32	B65_L3_N	V8
33	B65_L16_N	P6	34	B65_L3_P	U8
35	GND	-	36	GND	-
37	B65_L14_P	M6	38	B65_L19_P	J5
39	B65_L14_N	L5	40	B65_L19_N	J4
41	GND	-	42	GND	-
43	B65_L5_N	T7	44	B65_L18_P	M8
45	B65_L5_P	R7	46	B65_L18_N	L8
47	GND	-	48	GND	-
49	B65_L11_N	K3	50	B65_L8_P	J1
51	B65_L11_P	K4	52	B65_L8_N	H1
53	GND	-	54	GND	-
55	B65_L10_N	H3	56	B65_L24_N	H8
57	B65_L10_P	H4	58	B65_L24_P	H9
59	GND	-	60	GND	-
61	B66_L3_P	F2	62	B65_L12_P	L3
63	B66_L3_N	E2	64	B65_L12_N	L2
65	GND	-	66	GND	-
67	B66_L1_P	G1	68	B65_L13_N	L6
69	B66_L1_N	F1	70	B65_L13_P	L7
71	GND	-	72	GND	-

73	B66_L6_P	G5	74	B65_L21_P	J7
75	B66_L6_N	F5	76	B65_L21_N	H7
77	GND	-	78	GND	-
79	B66_L16_P	G8	80	B65_L23_P	K9
81	B66_L16_N	F7	82	B65_L23_N	J9
83	GND	-	84	GND	-
85	B66_L15_P	G6	86	B66_L5_N	E3
87	B66_L15_N	F6	88	B66_L5_P	E4
89	GND	-	90	GND	-
91	B66_L4_P	G3	92	B66_L2_P	E1
93	B66_L4_N	F3	94	B66_L2_N	D1
95	GND	-	96	GND	-
97	B66_L11_P	D4	98	B66_L20_P	C6
99	B66_L11_N	C4	100	B66_L20_N	B6
101	GND	-	102	GND	-
103	B66_L12_P	C3	104	B66_L7_P	C1
105	B66_L12_N	C2	106	B66_L7_N	B1
107	GND	-	108	GND	-
109	B66_L13_N	D6	110	B66_L10_P	B4
111	B66_L13_P	D7	112	B66_L10_N	A4
113	GND	-	114	GND	-
115	B66_L8_N	A1	116	B66_L9_P	B3
117	B66_L8_P	A2	118	B66_L9_N	A3
119	GND	-	120	GND	-

J30 连接器的引脚分配

J30 管脚	信号名称	引脚号	J30 管脚	信号名称	引脚号
1	B66_L14_P	E5	2	FPGA_TDI	R18
3	B66_L14_N	D5	4	FPGA_TCK	R19
5	GND	-	6	GND	-
7	B66_L22_P	C8	8	FPGA_TDO	T21

9	B66_L22_N	B8	10	FPGA_TMS	N21
11	GND	-	12	GND	-
13	B66_L19_N	A5	14	B66_L21_N	A6
15	B66_L19_P	B5	16	B66_L21_P	A7
17	GND	-	18	GND	-
19	B66_L24_P	C9	20	B66_L17_P	F8
21	B66_L24_N	B9	22	B66_L17_N	E8
23	GND	-	24	GND	-
25	B66_L23_N	A8	26	B45_L9_P	C11
27	B66_L23_P	A9	28	B45_L9_N	B10
29	GND	-	30	GND	-
31	B45_L5_N	F10	32	B45_L10_P	B11
33	B45_L5_P	G11	34	B45_L10_N	A10
35	GND	-	36	GND	-
37	B66_L18_N	D9	38	B45_L12_P	D12
39	B66_L18_P	E9	40	B45_L12_N	C12
41	GND	-	42	GND	-
43	B45_L4_N	H12	44	B45_L11_P	A12
45	B45_L4_P	J12	46	B45_L11_N	A11
47	GND	-	48	GND	-
49	B46_L11_P	K14	50	B45_L6_N	F11
51	B46_L11_N	J14	52	B45_L6_P	F12
53	GND	-	54	GND	-
55	B46_L10_N	H13	56	B46_L6_N	E13
57	B46_L10_P	H14	58	B46_L6_P	E14
59	GND	-	60	GND	-
61	B46_L7_N	F13	62	B46_L3_N	A13
63	B46_L7_P	G13	64	B46_L3_P	B13
65	GND	-	66	GND	-
67	B46_L9_N	G14	68	B46_L2_N	A14
69	B46_L9_P	G15	70	B46_L2_P	B14
71	GND	-	72	GND	-

73	B46_L5_N	D14	74	B46_L4_N	C13
75	B46_L5_P	D15	76	B46_L4_P	C14
77	GND	-	78	GND	-
79	B46_L1_P	B15	80	B46_L12_P	L14
81	B46_L1_N	A15	82	B46_L12_N	L13
83	GND	-	84	GND	-
85	505_CLK2_P	C21	86	505_CLK1_P	E21
87	505_CLK2_N	C22	88	505_CLK1_N	E22
89	GND	-	90	GND	-
91	505_CLK0_P	F23	92	505_CLK3_P	A21
93	505_CLK0_N	F24	94	505_CLK3_N	A22
95	GND	-	96	GND	-
97	505_TX0_P	E25	98	505_TX3_P	B23
99	505_TX0_N	E26	100	505_TX3_N	B24
101	GND	-	102	GND	-
103	505_RX0_P	F27	104	505_RX3_P	A25
105	505_RX0_N	F28	106	505_RX3_N	A26
107	GND	-	108	GND	-
109	505_TX1_P	D23	110	505_TX2_P	C25
111	505_TX1_N	D24	112	505_TX2_N	C26
113	GND	-	114	GND	-
115	505_RX1_P	D27	116	505_RX2_P	B27
117	505_RX1_N	D28	118	505_RX2_N	B28
119	GND	-	120	GND	-

J31 连接器的引脚分配

J31 管脚	信号名称	引脚号	J31 管脚	信号名称	引脚号
1	B44_L10_P	Y14	2	B44_L7_P	AA13
3	B44_L10_N	Y13	4	B44_L7_N	AB13
5	GND	-	6	GND	-
7	B44_L6_P	AC14	8	B43_L6_P	AC12
9	B44_L6_N	AC13	10	B43_L6_N	AD12

11	GND	-	12	GND	-
13	B44_L5_P	AD15	14	B43_L7_P	AD11
15	B44_L5_N	AD14	16	B43_L7_N	AD10
17	GND	-	18	GND	-
19	B44_L1_P	AE15	20	B43_L8_N	AC11
21	B44_L1_N	AE14	22	B43_L8_P	AB11
23	GND	-	24	GND	-
25	B44_L12_P	Y12	26	B44_L2_P	AG14
27	B44_L12_N	AA12	28	B44_L2_N	AH14
29	GND	-	30	GND	-
31	B44_L3_P	AG13	32	-	-
33	B44_L3_N	AH13	34	-	-
35	GND	-	36	GND	-
37	B43_L12_N	AB9	38	B43_L9_P	AA11
39	B43_L12_P	AB10	40	B43_L9_N	AA10
41	GND	-	42	GND	-
43	B43_L10_N	Y10	44	B43_L3_P	AH12
45	B43_L10_P	W10	46	B43_L3_N	AH11
47	GND	-	48	GND	-
49	B44_L11_N	W11	50	B43_L1_N	AH10
51	B44_L11_P	W12	52	B43_L1_P	AG10
53	GND	-	54	GND	-
55	B44_L9_N	W13	56	B44_L4_P	AE13
57	B44_L9_P	W14	58	B44_L4_N	AF13
59	GND	-	60	GND	-
61	B44_L8_P	AB15	62	B43_L5_P	AE12
63	B44_L8_N	AB14	64	B43_L5_N	AF12
65	GND	-	66	GND	-
67	B43_L2_N	AG11	68	B43_L4_P	AE10
69	B43_L2_P	AF11	70	B43_L4_N	AF10
71	GND	-	72	GND	-
73	VBAT_IN	-	74	B43_L11_P	Y9

75	MR	-	76	B43_L11_N	AA8
77	GND	-	78	GND	-
79	-	-	80	PS_POR_B	P16
81	-	-	82	-	-
83	GND	-	84	GND	-
86	-	-	86	-	-
87	-		88	-	-
89	GND	-	90	GND	-
91	224_CLK0_P	Y6	92	224_CLK1_P	V6
93	224_CLK0_N	Y5	94	224_CLK1_N	V5
95	GND	-	96	GND	-
97	224_TX3_N	N3	98	224_RX3_N	P1
99	224_TX3_P	N4	100	224_RX3_P	P2
101	GND	-	102	GND	
103	224_TX2_N	R3	104	224_RX2_N	T1
105	224_TX2_P	R4	106	224_RX2_P	T2
107	GND		108	GND	
109	224_TX1_N	U3	110	224_RX1_N	V1
111	224_TX1_P	U4	112	224_RX1_P	V2
113	GND	-	114	GND	-
115	224_TX0_N	W3	116	224_RX0_N	Y1
117	224_TX0_P	W4	118	224_RX0_P	Y2
119	GND	-	120	GND	-

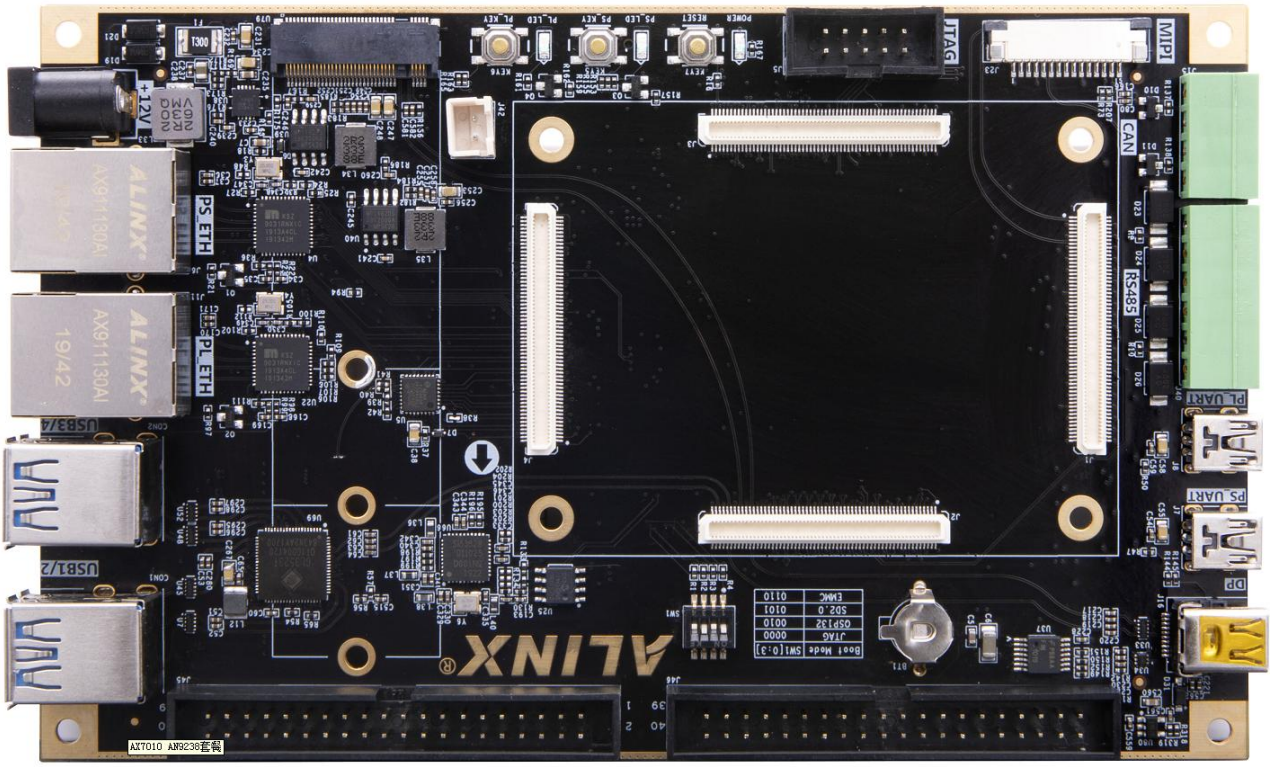
J32 连接器的引脚分配

J32 管脚	信号名称	引脚号	J32 管脚	信号名称	引脚号
1	PS_MIO35	H17	2	PS_MIO30	F16
3	PS_MIO29	G16	4	PS_MIO31	H16
5	GND	-	-	GND	-
7	-	-	8	PS_MIO58	F18
9	-	-	10	PS_MIO53	D16
11	GND	-	12	GND	-

13	PS_MODE0	P19	14	PS_MIO52	G18
15	PS_MODE1	P20	16	PS_MIO55	B16
17	GND	-	18	GND	-
19	PS_MODE2	R20	20	PS_MIO56	C16
21	PS_MODE3	T20	22	PS_MIO57	A16
23	GND	-	24	GND	-
25	PS_MIO36	K17	26	PS_MIO54	F17
27	PS_MIO37	J17	28	PS_MIO27	J15
29	GND	-	30	GND	-
31	-	-	32	PS_MIO28	K15
33	PS_MIO77	F20	34	PS_MIO59	E17
35	GND	-	36	GND	-
37	PS_MIO76	B20	38	PS_MIO60	C17
39	-	-	40	PS_MIO61	D17
41	GND	-	42	GND	-
43	PS_MIO39	H19	44	PS_MIO62	A17
45	PS_MIO38	H18	46	PS_MIO63	E18
47	GND	-	48	GND	-
49	-	-	50	PS_MIO65	A18
51	PS_MIO40	K18	52	PS_MIO66	G19
53	GND	-	54	GND	-
55	PS_MIO44	J20	56	PS_MIO67	B18
57	PS_MIO45	K20	58	PS_MIO68	C18
59	GND	-	60	GND	-
61	PS_MIO47	H21	62	PS_MIO64	E19
63	PS_MIO48	J21	64	PS_MIO69	D19
65	GND	-	66	GND	-
67	PS_MIO41	J19	68	PS_MIO74	D20
69	PS_MIO32	J16	70	PS_MIO73	G21
71	GND	-	72	GND	-
73	PS_MIO46	L20	74	PS_MIO72	G20
75	PS_MIO50	M19	76	PS_MIO71	B19

77	GND	-	78	GND	-
79	PS_MIO49	M18	80	PS_MIO75	A19
81	PS_MIO34	L17	82	PS_MIO70	C19
83	GND	-	84	GND	-
85	PS_MIO26	L15	86	PS_MIO43	K19
87	PS_MIO24	AB19	88	PS_MIO51	L21
89	GND	-	90	GND	-
91	PS_MIO25	AB21	92	PS_MIO42	L18
93	-	-	94	PS_MIO33	L16
95	GND	-	96	GND	-
97	-	-	98	-	-
99	VCCO_65	-	100	VCCO_66	-
101	VCCO_65	-	102	VCCO_66	-
103	VCCO_65	-	104	VCCO_66	-
105	GND	-	106	GND	-
107	+12V	-	108	+12V	-
109	+12V	-	110	+12V	-
111	+12V	-	112	+12V	-
113	+12V	-	114	+12V	-
115	+12V	-	116	+12V	-
117	+12V	-	118	+12V	-
119	+12V	-	120	+12V	-

三、 扩展板



(一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

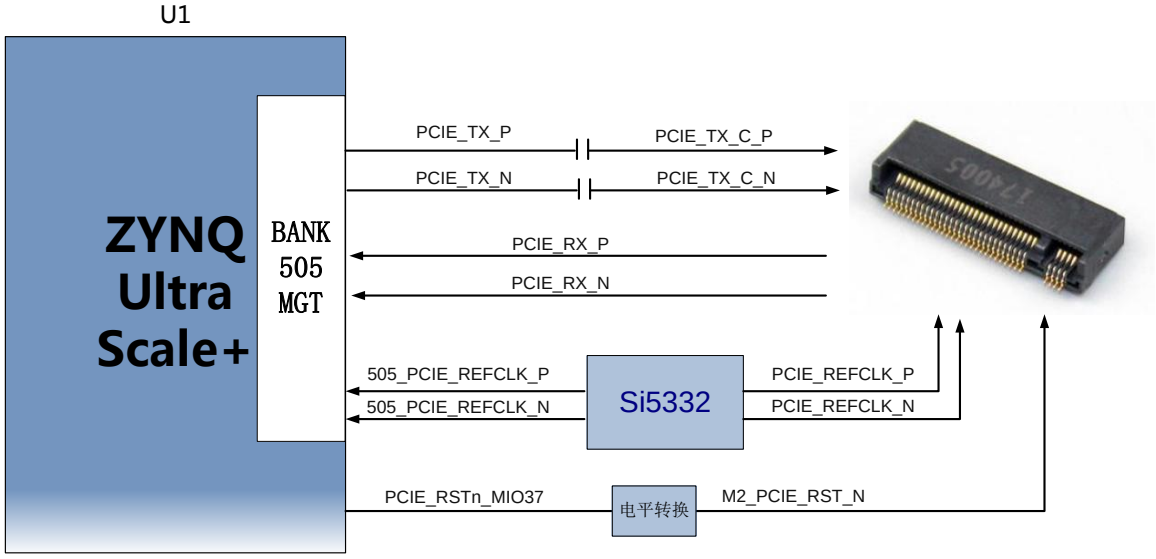
- 1 路 M.2 接口
- 1 路 DP 输出接口
- 4 路 USB3.0 接口
- 2 路千兆以太网接口
- 2 路 USB Uart 接口
- 1 路 Micro SD 卡座
- 1 路 MIPI 摄像头接口
- 2 个 40 针扩展口
- 2 路 CAN 通信接口
- 2 路 485 通信接口
- JTAG 调试口
- 1 路温度传感器
- 1 路 EEPROM
- 1 路 RTC 实时时钟；
- 3 个 LED 灯

- 3 个按键

(二) M.2 接口

AXU5EV-E 开发板配备了一个 PCIE x1 标准的 M.2 接口，用于连接 M.2 的 SSD 固态硬盘，通信速度高达 6Gbps。M.2 接口使用 M key 插槽，只支持 PCI-E，不支持 SATA，用户选择 SSD 固态硬盘的时候需要选择 PCIE 类型的 SSD 固态硬盘。

PCIE 信号直接跟 ZU5EV 的 BANK505 PS MGT 收发器相连接，1 路 TX 信号和 RX 信号都是以差分信号方式连接到 MGT 的 LANE1。PCIE 的时钟有 Si5332 芯片提供 频率为 100Mhz，M.2 电路设计的示意图如下图 3-2-1 所示:



3-2-1 M.2 接口设计示意图

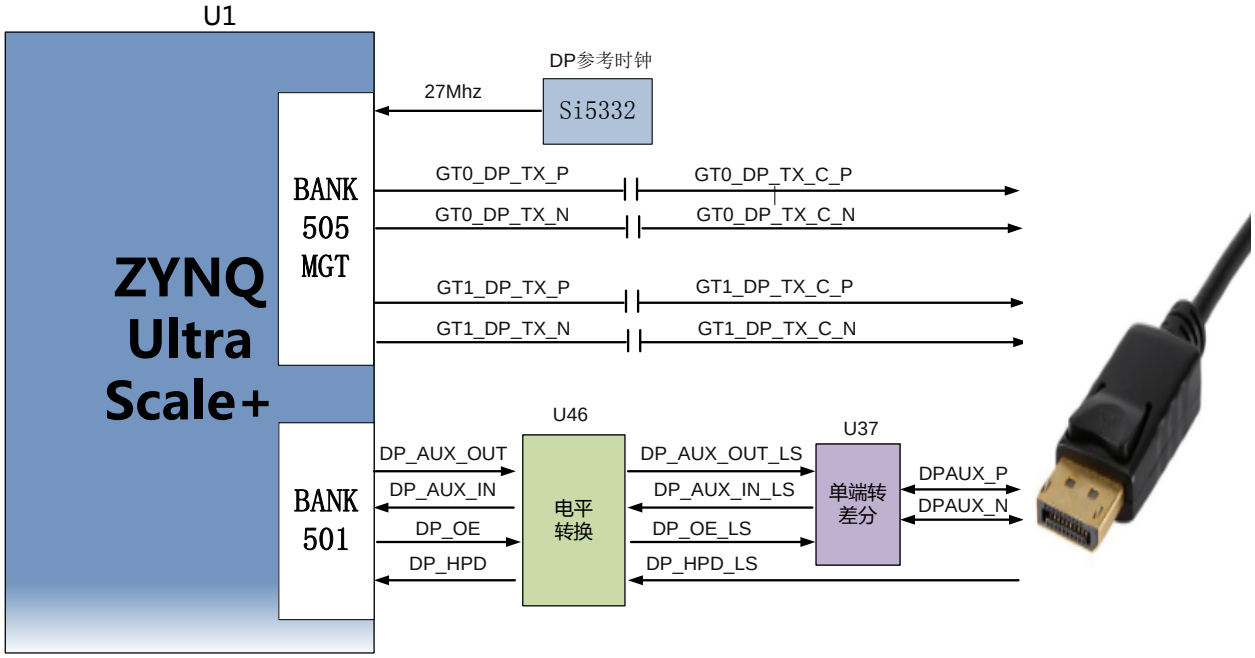
M.2 **接口 ZYNQ 引脚分配如下：**

信号名称	引脚名	引脚号	备注
PCIE_TX_P	505_TX0_P	E25	PCIE 数据发送正
PCIE _TX_N	505_TX0_N	E26	PCIE 数据发送负
PCIE _RX_P	505_RX0_P	F27	PCIE 数据接收正
PCIE _RX_N	505_RX0_N	F28	PCIE 数据接收负
505_PCIE_REFCLK_P	505_CLK0_P	F23	PCIE 参考时钟正
505_PCIE_REFCLK_N	505_CLK0_N	F24	PCIE 参考时钟负
PCIE_RSTn_MIO37	PS_MIO37_501	J17	PCIE 复位信号

(三) DP 显示接口

AXU5EV-E 开发板带有 1 路标准的 DisplayPort 输出显示接口，用于视频图像的显示。接口支持 VESA DisplayPort V1.2a 输出标准，最高支持 4K x 2K@30Fps 输出，支持 Y-only, YCbCr444, YCbCr422, YCbCr420 和 RGB 视频格式，每种颜色支持 6, 8, 10, 或者 12 位。

DisplayPort 数据传输通道直接用 ZU5EV 的 BANK505 PS MGT 驱动输出，MGT 的 LANE2 和 LANE3 TX 信号以差分信号方式连接到 DP 连接器。DisplayPort 辅助通道连接到 PS 的 MIO 管脚上。DP 输出接口设计的示意图如下图 3-3-1 所示:



3-3-1 DP 接口设计示意图

DisplayPort 接口 ZYNQ 引脚分配如下：

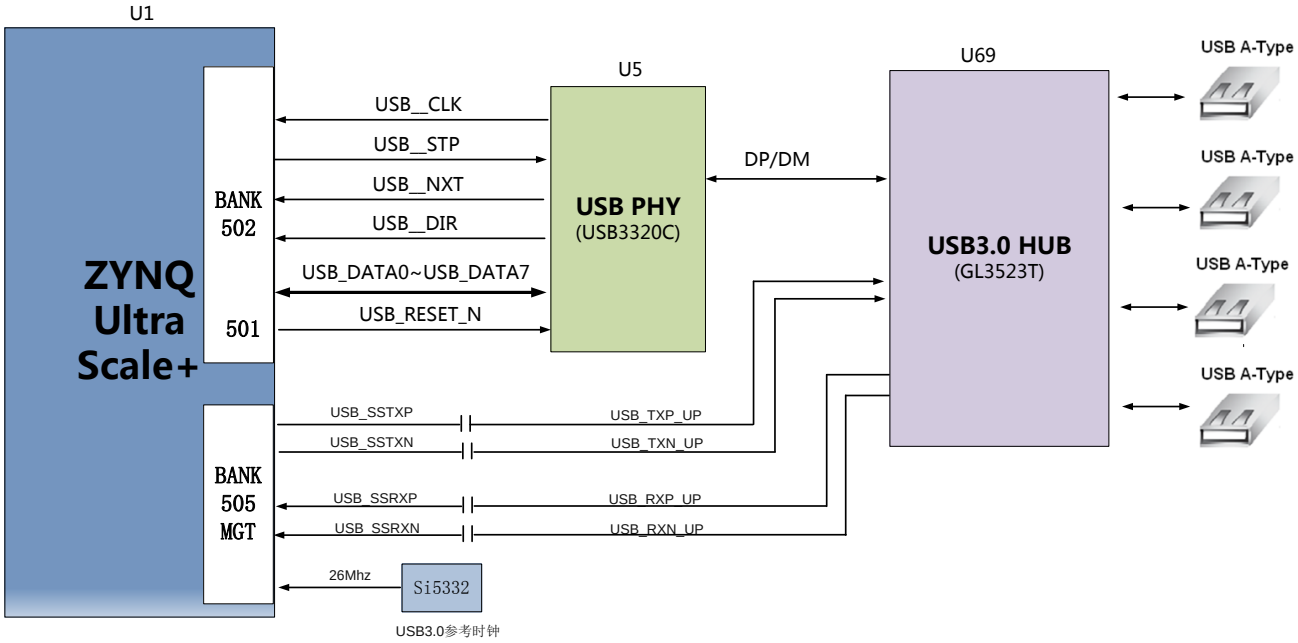
信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
GT0_DP_TX_P	505_TX3_P	B23	DP 数据低位发送正
GT0_DP_TX_N	505_TX3_N	B24	DP 数据低位发送负
GT1_DP_TX_P	505_TX2_P	C25	DP 数据高位发送正
GT1_DP_TX_N	505_TX2_N	C26	DP 数据高位发送负
505_CLK1_P	505_CLK2_P	C21	DP 参考时钟正
505_CLK1_N	505_CLK2_N	C22	DP 参考时钟负
DP_AUX_OUT	PS_MIO27	J15	DP 辅助数据输出
DP_AUX_IN	PS_MIO30	F16	DP 辅助数据输入
DP_OE	PS_MIO29	G16	DP 辅助数据输出使能

DP_HPD	PS_MIO28	K15	DP 插入信号检测

(四) USB3.0 接口

AXU5EV-E 扩展板上有 4 个 USB3.0 接口，支持 HOST 工作模式，数据传输速度高达 5.0Gb/s。USB3.0 通过 PIPE3 接口连接，USB2.0 通过 ULPI 接口连接外部的 USB3320C 芯片，实现高速的 USB3.0 和 USB2.0 的数据通信。

USB 接口为扁型 USB 接口(USB Type A)，方便用户同时连接不同的 USB Slave 外设(比如 USB 鼠标，键盘或 U 盘)。USB3.0 连接的示意图如 3-4-1 所示：



3-4-1 USB3.0 接口示意图

USB 接口引脚分配：

信号名称	引脚名	引脚号	备注
USB_SSTXP	505_TX1_P	D23	USB3.0 数据发送正
USB_SSTXN	505_TX1_N	D24	USB3.0 数据发送负
USB_SSRXP	505_RX1_P	D27	USB3.0 数据接收正
USB_SSRXN	505_RX1_N	D28	USB3.0 数据接收负
USB_DATA0	PS_MIO56	C16	USB2.0 数据 Bit0
USB_DATA1	PS_MIO57	A16	USB2.0 数据 Bit1
USB_DATA2	PS_MIO54	F17	USB2.0 数据 Bit2
USB_DATA3	PS_MIO59	E17	USB2.0 数据 Bit3

USB_DATA4	PS_MIO60	C17	USB2.0 数据 Bit4
USB_DATA5	PS_MIO61	D17	USB2.0 数据 Bit5
USB_DATA6	PS_MIO62	A17	USB2.0 数据 Bit6
USB_DATA7	PS_MIO63	E18	USB2.0 数据 Bit7
USB_STP	PS_MIO58	F18	USB2.0 停止信号
USB_DIR	PS_MIO53	D16	USB2.0 数据方向信号
USB_CLK	PS_MIO52	G18	USB2.0 时钟信号
USB_NXT	PS_MIO55	B16	USB2.0 下一数据信号
USB_RESET_N	PS_MIO31	H16	USB2.0 复位信号

(五) 千兆以太网接口

AXU5EV-E 扩展板上有 2 路千兆以太网接口，1 路连接到 PS 端，另 1 路连接到 PL 端。GPHY 芯片采用 Micrel 公司的 KSZ9031RNX 以太网 PHY 芯片为用户提供网络通信服务。KSZ9031RNX 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 ZU5EV 系统的 MAC 层进行数据通信。KSZ9031RNX 支持MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

KSZ9031RNX 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 3-5-1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 011
CLK125_EN	使能 125Mhz 时钟输出选择	使能
LED_MODE	LED 灯模式配置	单个 LED 灯模式
MODE0~MODE3	链路自适应和全双工配置	10/100/1000 自适应，兼容全双工、半双工

表 3-5-1PHY 芯片默认配置值

当网络连接到千兆以太网时，ZYNQ 和 PHY 芯片 KSZ9031RNX 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，ZYNQ 和 PHY 芯片 KSZ9031RNX 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 3-5-1 为 ZYNQ 以太网 PHY 芯片连接示意图:

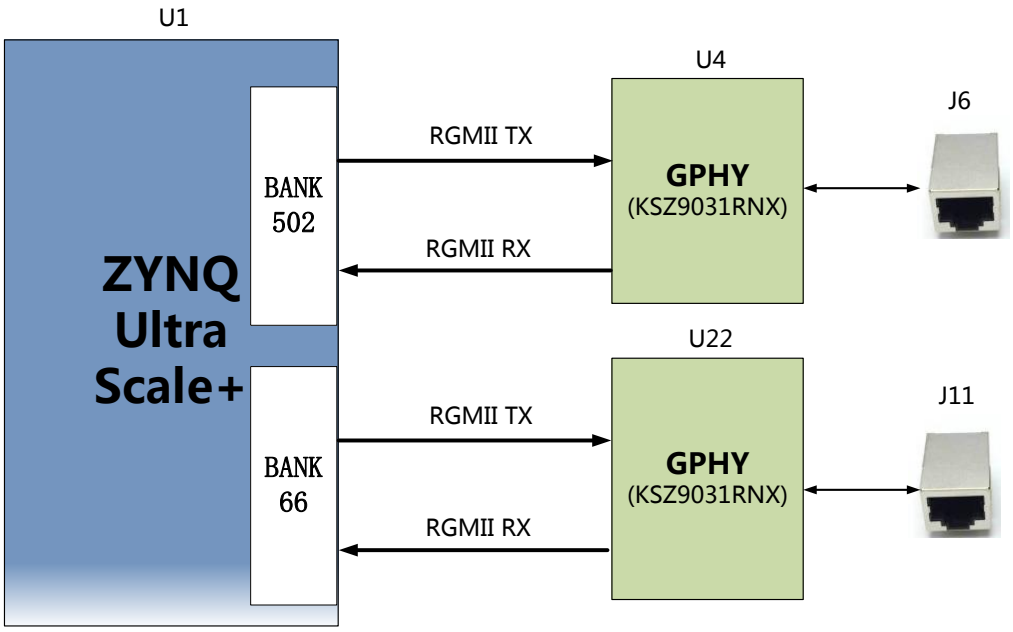


图 3-6-1 ZYNQ 与 GPHY 连接示意图

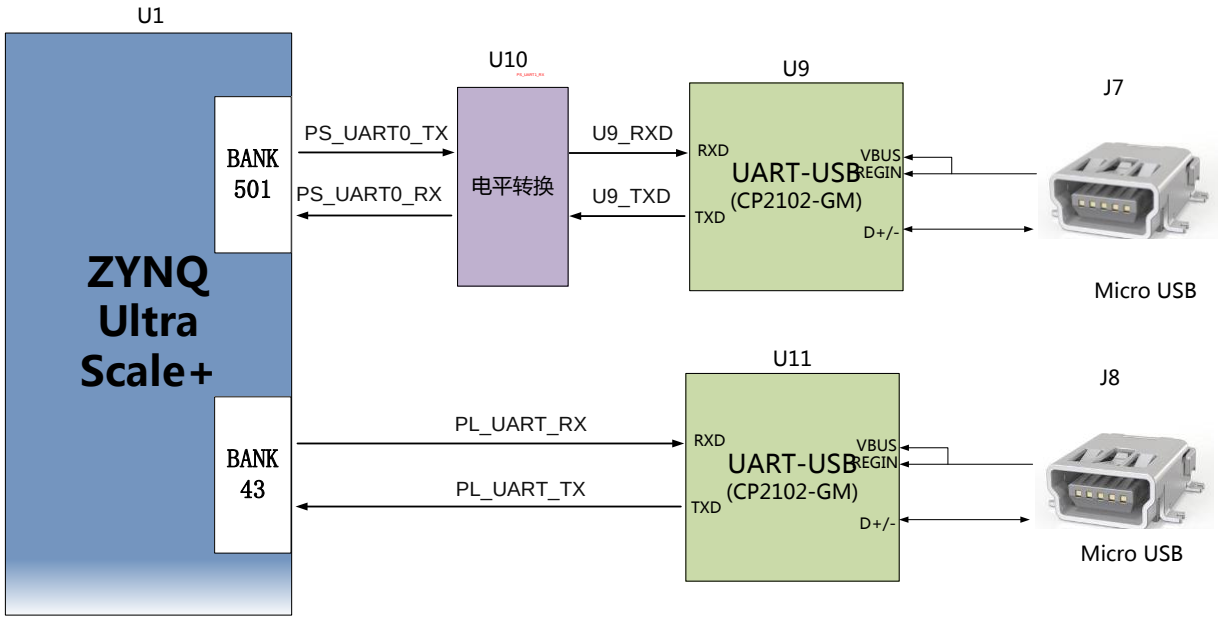
千兆以太网引脚分配如下：

信号名称	引脚名	引脚号	备注
PHY1_TXCK	PS_MIO64	E19	以太网 1RGMII 发送时钟
PHY1_TXD0	PS_MIO65	A18	以太网 1 发送数据 bit 0
PHY1_TXD1	PS_MIO66	G19	以太网 1 发送数据 bit1
PHY1_TXD2	PS_MIO67	B18	以太网 1 发送数据 bit2
PHY1_TXD3	PS_MIO68	C18	以太网 1 发送数据 bit3
PHY1_TXCTL	PS_MIO69	D19	以太网 1 发送使能信号
PHY1_RXCK	PS_MIO70	C19	以太网 1RGMII 接收时钟
PHY1_RXD0	PS_MIO71	B19	以太网 1 接收数据 Bit0
PHY1_RXD1	PS_MIO72	G20	以太网 1 接收数据 Bit1
PHY1_RXD2	PS_MIO73	G21	以太网 1 接收数据 Bit2
PHY1_RXD3	PS_MIO74	D20	以太网 1 接收数据 Bit3
PHY1_RXCTL	PS_MIO75	A19	以太网 1 接收数据有效信号
PHY1_MDC	PS_MIO76	B20	以太网 1MDIO 管理时钟
PHY1_MDIO	PS_MIO77	F20	以太网 1MDIO 管理数据
PHY2_TXCK	B66_L17_N	E8	以太网 2 RGMII 发送时钟
PHY2_TXD0	B66_L18_P	E9	以太网 2 发送数据 bit 0
PHY2_TXD1	B66_L18_N	D9	以太网 2 发送数据 bit1

PHY2_TXD2	B66_L23_P	A9	以太网 2 发送数据 bit2
PHY2_TXD3	B66_L23_N	A8	以太网 2 发送数据 bit3
PHY2_TXCTL	B66_L24_N	B9	以太网 2 发送使能信号
PHY2_RXCK	B66_L14_P	E5	以太网 2 RGMII 接收时钟
PHY2_RXD0	B66_L19_N	A5	以太网 2 接收数据 Bit0
PHY2_RXD1	B66_L19_P	B5	以太网 2 接收数据 Bit1
PHY2_RXD2	B66_L17_P	F8	以太网 2 接收数据 Bit2
PHY2_RXD3	B66_L24_P	C9	以太网 2 接收数据 Bit3
PHY2_RXCTL	B66_L22_N	B8	以太网 2 接收数据有效信号
PHY2_MDC	B66_L21_N	A6	以太网 2 MDIO 管理时钟
PHY2_MDIO	B66_L22_P	C8	以太网 2 MDIO 管理数据
PHY2_RESET	B66_L14_N	D5	以太网 2 复位信号

(六) USB Uart 接口

AXU5EV-E 扩展板上配备了 2 个 Uart 转 USB 接口，1 个连接到 PS 端，一个连接到 PL 端。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口，可以用 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。USB Uart 电路设计的示意图如下图所示:



3-6-1 USB 转串口示意图

USB 转串口的 ZYNQ 引脚分配：

信号名称	引脚名	引脚号	备注
PS_UART0_TX	PS_MIO43	K19	PS Uart 数据输出
PS_UART0_RX	PS_MIO42	L18	PS Uart 数据输入
PL_UART_TX	B43_L3_P	AH12	PL Uart 数据输出
PL_UART_RX	B43_L3_N	AH11	PL Uart 数据输入

(七) SD 卡槽

AXU5EV-E扩展板包含了一个Micro型的SD卡接口，以提供用户访问SD卡存储器，用于存储ZU5EV芯片的BOOT程序，Linux操作系统内核，文件系统以及其它的用户数据文件。

SDIO信号与ZU5EV的PS BANK501的IO信号相连，因为501的VCCIO设置为1.8V，但SD卡的数据电平为3.3V，我们这里通过TXS02612电平转换器来连接。ZU5EV PS和SD卡连接器的原理图如图3-7-1所示。

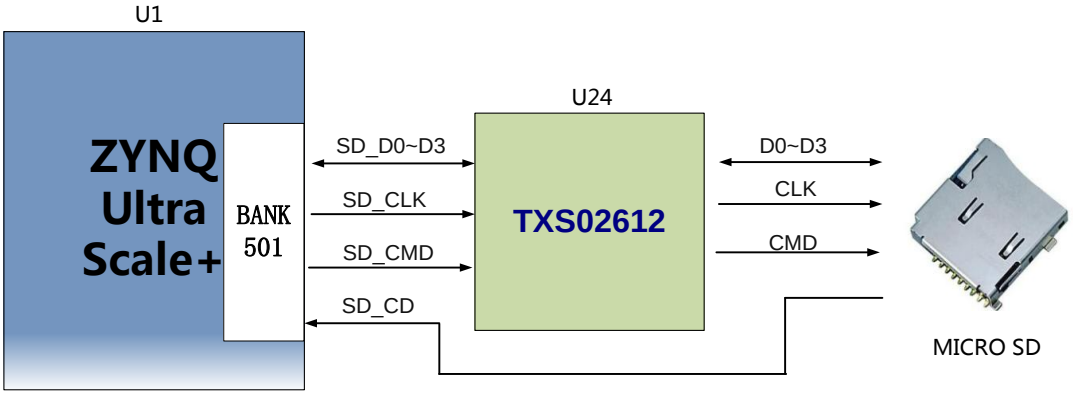


图 3-7-1 SD 卡连接示意图

SD 卡槽引脚分配

信号名称	引脚名	引脚号	备注
SD_CLK	PS_MIO51	I21	SD 时钟信号
SD_CMD	PS_MIO50	M19	SD 命令信号
SD_D0	PS_MIO46	L20	SD 数据 Data0
SD_D1	PS_MIO47	H21	SD 数据 Data1
SD_D2	PS_MIO48	J21	SD 数据 Data2
SD_D3	PS_MIO49	M18	SD 数据 Data3
SD_CD	PS_MIO45	K20	SD 卡检测信号

(八) 40 针扩展口

AXU5EV-E 扩展板预留了 2 个 2.54mm 标准间距的 40 针的扩展口 J45 和 J46，用于连接黑金的各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。扩展口的 IO 连接的 ZYNQ 芯片 BANK44,24,25,26 的 IO 上，电平标准为 3.3V。

J45 扩展口 ZYNQ 的引脚分配如下：

J45管脚	信号名称	引脚号	J17管脚	信号名称	引脚号
1	GND	-	2	+5V	-
3	B45_L9_N	B10	4	B45_L9_P	C11
5	B45_L5_N	F10	6	B45_L5_P	G11
7	B45_L12_N	C12	8	B45_L12_P	D12
9	B45_L11_N	A11	10	B45_L11_P	A12
11	B45_L6_N	F11	12	B45_L6_P	F12
13	B46_L6_N	E13	14	B46_L6_P	E14
15	B46_L3_N	A13	16	B46_L3_P	B13
17	B46_L2_N	A14	18	B46_L2_P	B14
19	B46_L4_N	C13	20	B46_L4_P	C14
21	B46_L12_N	L13	22	B46_L12_P	L14
23	B45_L4_N	H12	24	B45_L4_P	J12
25	B46_L11_N	J14	26	B46_L11_P	K14
27	B46_L10_N	H13	28	B46_L10_P	H14
29	B46_L7_N	F13	30	B46_L7_P	G13
31	B46_L9_N	G14	32	B46_L9_P	G15
33	B46_L5_N	D14	34	B46_L5_P	D15
35	B46_L1_N	A15	36	B46_L1_P	B15
37	GND	-	38	GND	-
39	+3.3V	-	40	+3.3V	-

J46 扩展口 ZYNQ 的引脚分配如下：

J46管脚	信号名称	引脚号	J13管脚	信号名称	引脚号

1	GND	-	2	+5V	-
3	B43_L2_N	AG11	4	B43_L2_P	AF11
5	B44_L8_N	AB14	6	B44_L8_P	AB15
7	B44_L9_N	W13	8	B44_L9_P	W14
9	B44_L11_N	W11	10	B44_L11_P	W12
11	B43_L10_N	Y10	12	B43_L10_P	W10
13	B43_L12_N	AB9	14	B43_L12_P	AB10
15	B44_L3_N	AH13	16	B44_L3_P	AG13
17	B44_L12_N	AA12	18	B44_L12_P	Y12
19	B44_L1_N	AE14	20	B44_L1_P	AE15
21	B44_L5_N	AD14	22	B44_L5_P	AD15
23	B44_L6_N	AC13	24	B44_L6_P	AC14
25	B44_L10_N	Y13	26	B44_L10_P	Y14
27	B44_L2_N	AH14	28	B44_L2_P	AG14
29	B43_L8_N	AC11	30	B43_L8_P	AB11
31	B43_L7_N	AD10	32	B43_L7_P	AD11
33	B43_L6_N	AD12	34	B43_L6_P	AC12
35	B44_L7_N	AB13	36	B44_L7_P	AA13
37	GND	-	38	GND	-
39	+3.3V	-	40	+3.3V	-

(九) CAN 通信接口

AXU5EV-E 扩展板上有 2 路 CAN 通信接口，连接在 PS 系统端 BANK501 的 MIO 接口上。CAN 收发芯片选用了 TI 公司的 SN65HVD232C 芯片为用户 CAN 通信服务。

图 3-9-1 为 PS 端 CAN 收发芯片的连接示意图

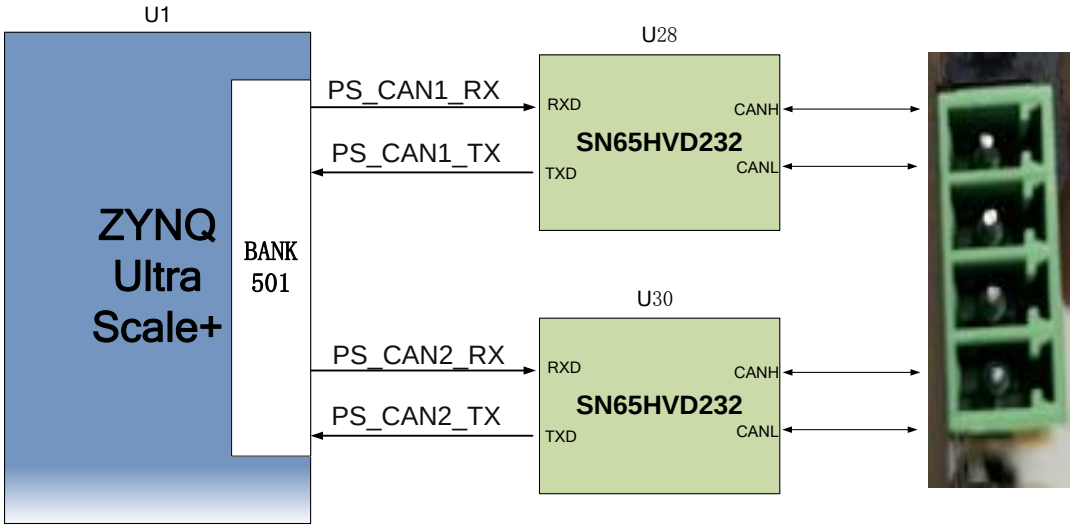


图 3-10-1　PS 端 CAN 收发芯片的连接示意图

CAN 通信引脚分配如下：

信号名称	引脚名	引脚号	备注
PS_CAN1_TX	PS_MIO32	J16	CAN1 发送端
PS_CAN1_RX	PS_MIO33	L16	CAN1 接收端
PS_CAN2_TX	PS_MIO39	H19	CAN2 发送端
PS_CAN2_RX	PS_MIO38	H18	CAN2 接收端

(十) 485 通信接口

AXU5EV-E 扩展板上有 2 路 485 通信接口，485 通信端口连接在 PL 端 BANK43~45 的 IO 接口上。485 收发芯片选用 MAXIM 公司的 MAX3485 芯片为用户 485 通信服务。

图 3-11-1 为 PL 端 485 收发芯片的连接示意图

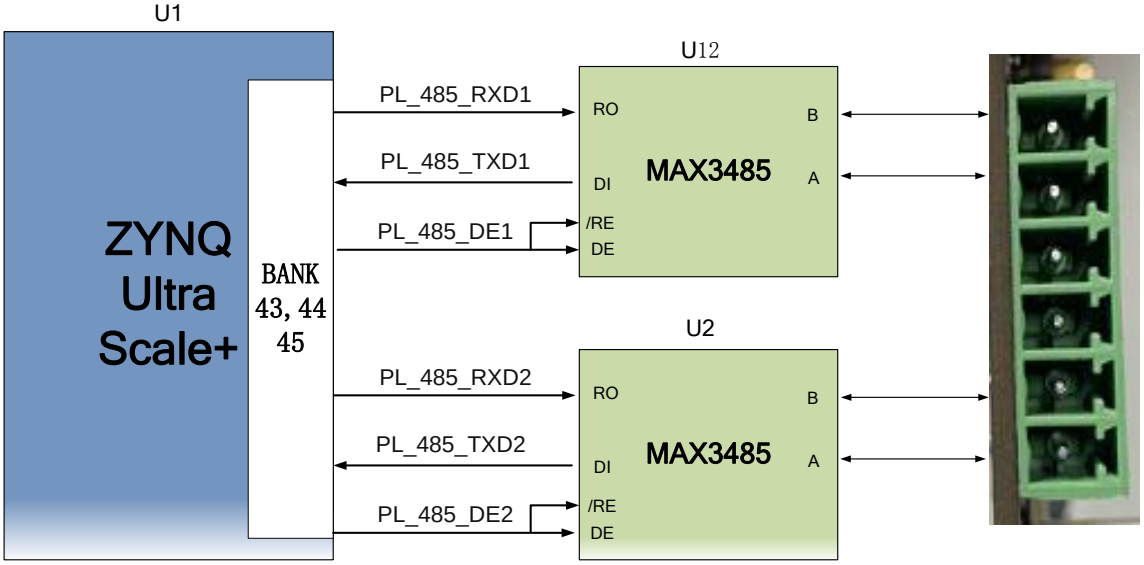


图 3-11-1　PL 端 485 通信的连接示意图

RS485 通信引脚分配如下：

信号名称	引脚名	引脚号	备注
PL_485_TXD1	B43_L1_N	AH10	第一路485发送端
PL_485_RXD1	B44_L4_P	AE13	第一路485接收端
PL_485_DE1	B45_L10_P	B11	第一路485发送使能
PL_485_TXD2	B43_L1_N	AG10	第二路485发送端
PL_485_RXD2	B44_L4_N	AF13	第二路485接收端
PL_485_DE2	B45_L10_N	A10	第二路485发送使能

(十一) MIPI 接口

底板上包含了一个 MIPI 摄像头接口，可以用来接我们的 MIPI OV5640 像头模块（AN5641）。MIPI 接口 15PIN 的 FPC 连接器，为 2 个 LANE 的数据和 1 对时钟，连接到 BANK65 的差分 IO 管脚上，电平标准为 1.2V；其它的控制信号连接到 BANK43 的 IO 上，电平标准为 3.3V。

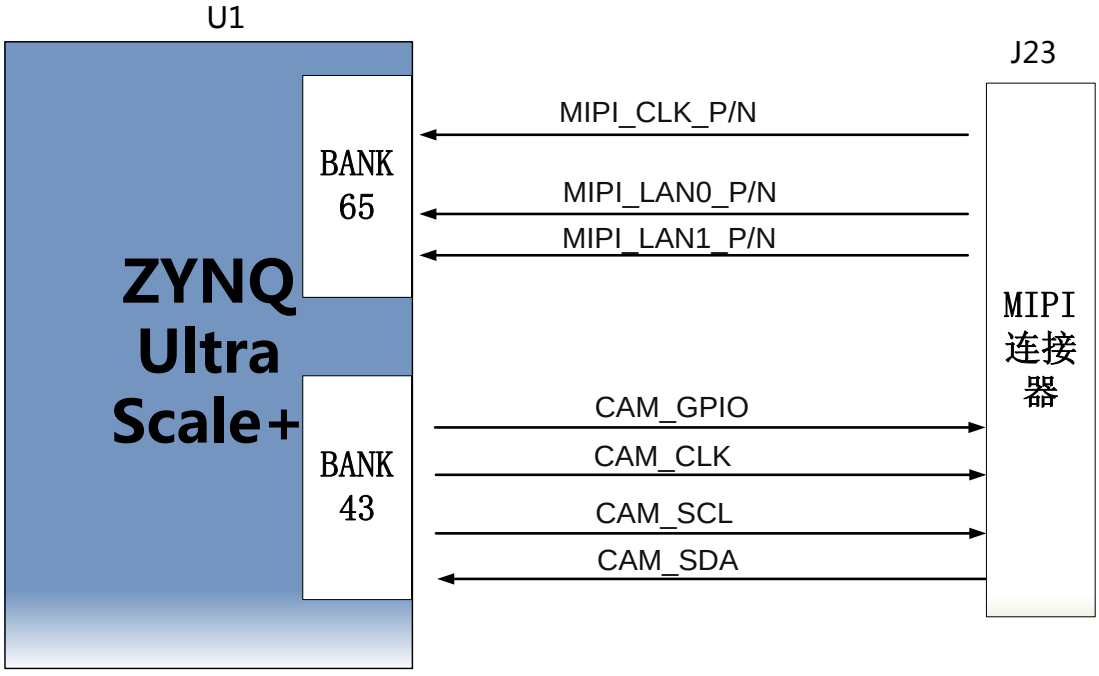


图 3-11-1 HDMI 接口设计原理图

MIPI 接口引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注

MIPI_CLK_P	B65_L1_P	W8	MIPI输入时钟正
MIPI_CLK_N	B65_L1_N	Y8	MIPI输入时钟负
MIPI_LAN0_P	B65_L2_P	U9	MIPI输入的数据LANE0正
MIPI_LAN0_N	B65_L2_N	V9	MIPI输入的数据LANE0负
MIPI_LAN1_P	B65_L3_P	U8	MIPI输入的数据LANE1正
MIPI_LAN1_N	B65_L3_N	V8	MIPI输入的数据LANE1负
CAM_GPIO	B43_L4_P	AE10	摄像头的GPIO控制
CAM_CLK	B43_L4_N	AF10	摄像头的时钟输入
CAM_SCL	B43_L11_P	Y9	摄像头的I2C时钟
CAM_SDA	B43_L11_N	AA8	摄像头的I2C数据

(十二) JTAG 调试口

在 AXU5EV-E 扩展板上预留了一个 JTAG 接口，用于下载 ZYNQ UltraScale+程序或者固化程序到 FLASH。为了带电插拔造成对 ZYNQ UltraScale+芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围 ,避免 ZYNQ UltraScale+芯片的损坏。

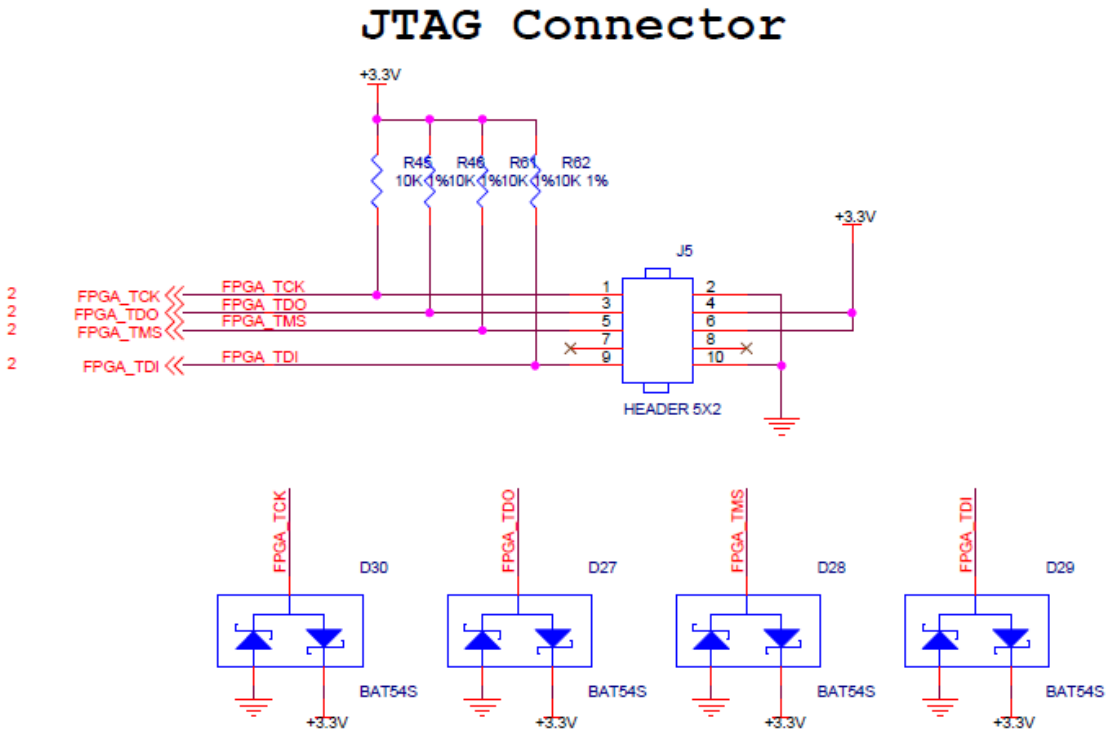


图3-12-1 原理图中JTAG接口部分

(十三) RTC 实时时钟

ZU5EV 芯片内部带有 RTC 实时时钟的功能，有年月日时分秒还有星期计时功能。外部需要接一个 32.768KHz 的无源时钟，提供精确的时钟源给内部时钟电路，这样才能让 RTC 可以准确的提供时钟信息。同时为了产品掉电以后，实时时钟还可以正常运行，一般需要另外配一个电池给时钟芯片供电。开发板上的 BT1 为 1.5V 的纽扣电池（型号 LR41，电压为 1.5V），当系统掉电池，纽扣电池还可以给 RTC 系统供电，可以提供持续不断的时间信息。图 3-12-1 为 RTC 实时时钟原理图

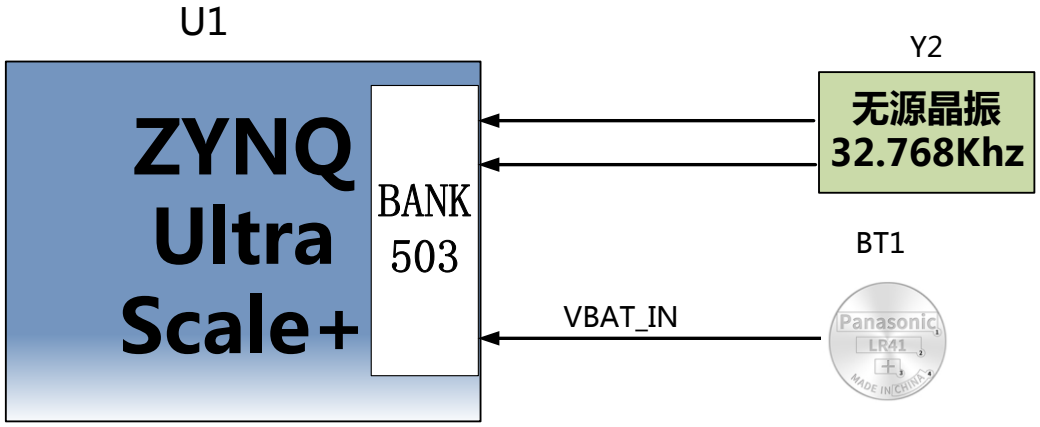


图 3-13-1 为 RTC 实时时钟原理图

(十四) EEPROM 和温度传感器

AXU5EV-E开发板板载了一片EEPROM，型号为24LC04,容量为：4Kbit（2*256*8bit），通过IIC总线连接到PS端进行通信。另外板上还带有一个高精度、低功耗、数字温度传感器芯片，型号为ON Semiconductor公司的LM75，LM75芯片的温度精度为0.5度。EEPROM和温度传感器通过I2C总线挂载到ZYNQ UltraScale+的Bank500 MIO上。图3-14-1为EEPROM和温度传感器的原理图

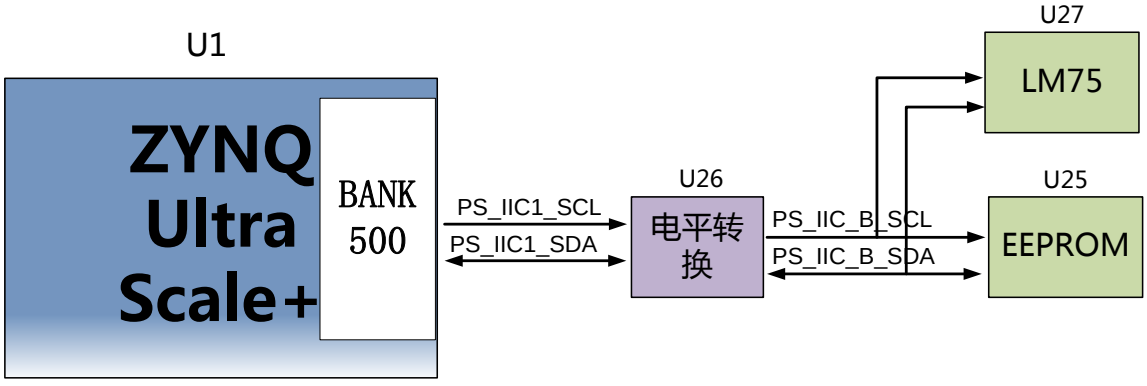


图 3-14-1 EEPROM 和传感器的原理图

EEPROM 通信引脚分配如下：

信号名称	引脚名	引脚号	备注
PS_IIC1_SCL	PS_MIO24	AB19	I2C时钟信号
PS_IIC1_SDA	PS_MIO25	AB21	I2C数据信号

(十五) LED 灯

AXU5EV-E 扩展板上有 3 个发光二极管 LED。 包含 1 个电源指示灯， 1 个 PS 控制指示灯，1 个 PL 控制指示灯。用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为低时，用户 LED 灯熄灭，当连接 IO 电压为高时，用户 LED 会被点亮。用户 LED 灯硬件连接的示意图如图 3-15-1 所示：

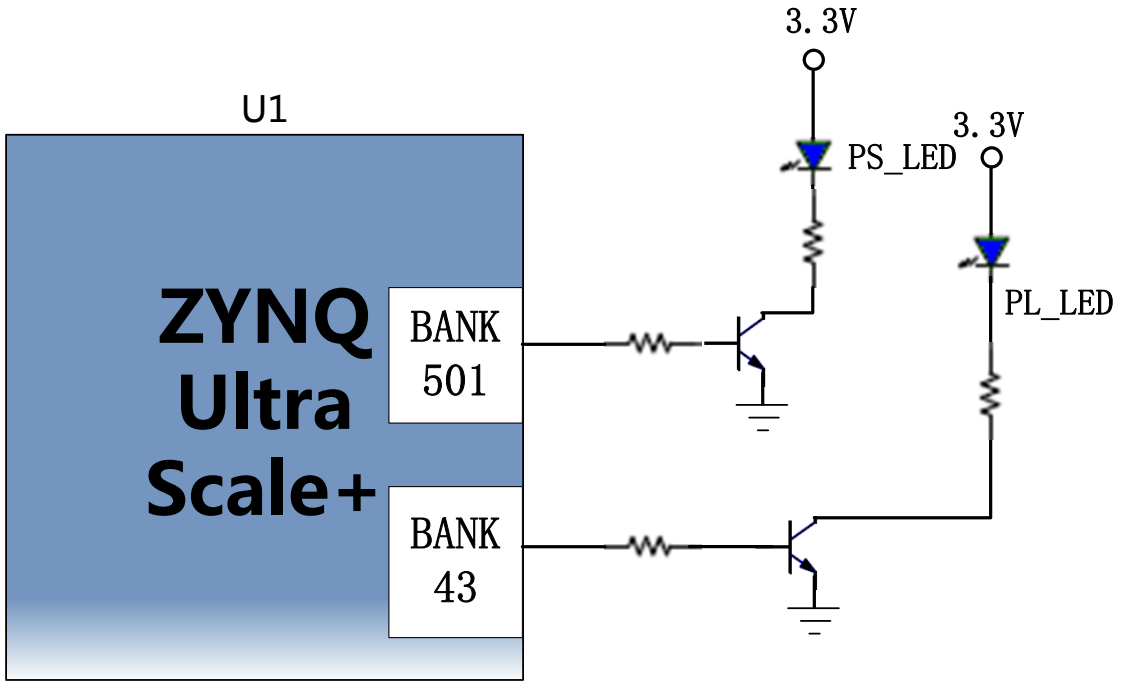


图 3-15-1 用户 LED 灯硬件连接示意图

用户 LED 灯的引脚分配

信号名称	引脚名	管脚号	备注
PS_LED1	PS_MIO40	K18	用户PS LED灯
PL_LED1	B43_L5_P	AE12	用户PL LED灯

(十六) 按键

AXU5EV-E 扩展板上有 1 个复位按键 RESET 和 2 个用户按键。复位信号连接到核心板的复位芯片输入，用户可以使用这个复位按键来复位 ZYNQ 系统。用户按键 1 个连接到 PS 的 MIO 上，1 个是连接到 PL 的 IO 上。复位按键和用户按键都是低电平有效，用户按键的连接示意图如图 3-16-1 所示：

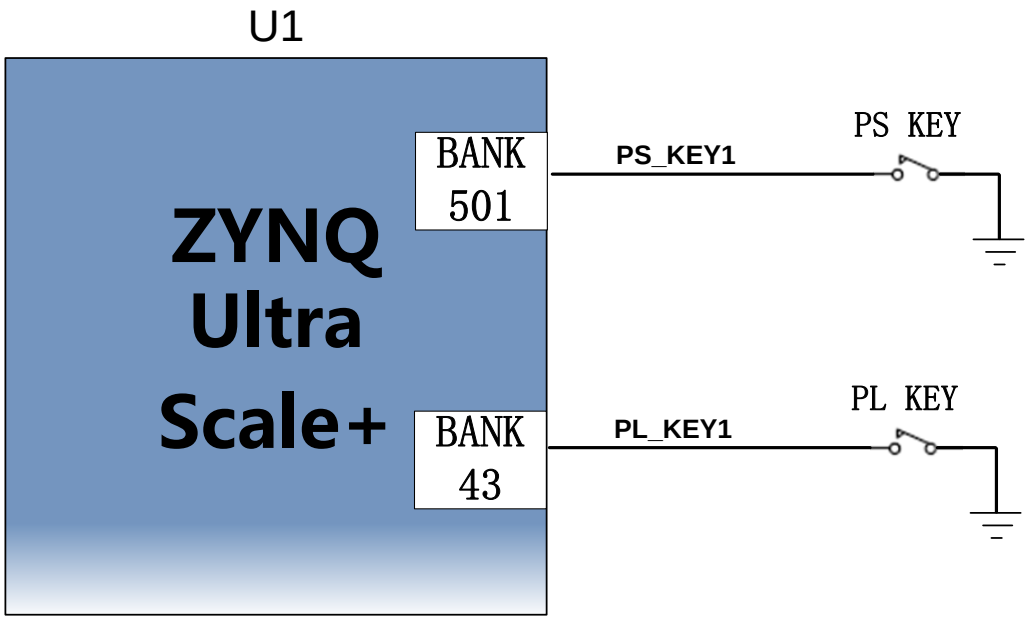


图 3-16-1 复位按键连接示意图

按键的 ZYNQ 管脚分配

信号名称	引脚名	引脚号	备注
PS_KEY1	PS_MIO26	L15	PS按键1输入
PL_KEY1	B43_L5_N	AF12	PL按键1输入

(十七) 拨码开关配置

开发板上有一个 4 位的拨码开关 SW1 用来配置 ZYNQ 系统的启动模式。AXU5EV-E 系统开发平台支持 4 种启动模式。这 4 种启动模式分别是 JTAG 调试模式, QSPI FLASH, EMMC 和 SD2.0 卡启动模式。ZU5EV 芯片上电后会检测（PS_MODE0~3）的电平来决定那种启动模式。用户可以通过扩展板上的拨码开关 SW1 来选择不同的启动模式。SW1 启动模式配置如下表 3-17-1 所示。

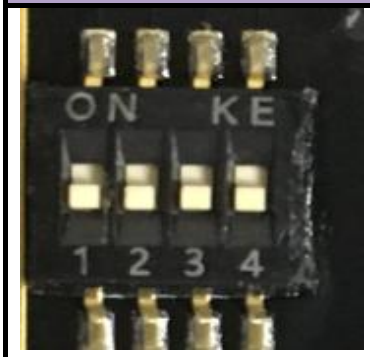
SW1	拨码位置(1 , 2 , 3, 4)	MODE[3:0]	启动模式
	ON , ON , ON , ON	0000	PS JTAG
	ON , ON , OFF ,ON	0010	QSPI FLASH
	ON , OFF , ON , OFF	0101	SD卡
	ON ,OFF , OFF , ON	0110	EMMC

表3-17-1 SW1启动模式配置

(十八) 电源

AXU5EV-E 开发板的电源输入电压为 DC12V。底板上通过 1 路 DC/DC 电源芯片 TPS54620 和 2 路 DC/DC 电源芯片 MP1482 转换成+5V，+3.3V，+1.8V。另外底板通过 LDO 产生+1.2V 给核心板 BANK65 供电， BANK66 的供电为+1.8V。板上的电源设计示意图如下图 3-18-1 所示:

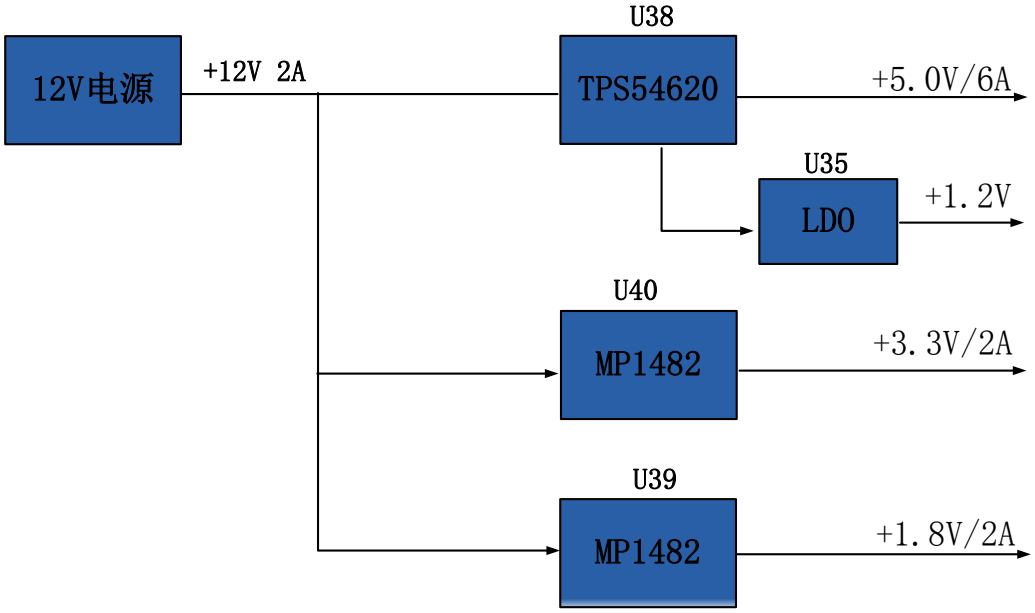


图 3-18-1 原理图中电源接口部分

各个电源分配的功能如下表所示：

电源	功能

+5.0V	USB 供电电源
+1.8V	以太网，USB2.0，核心板 BANK66
+3.3V	以太网，USB2.0，SD，DP，CAN，RS485
+1.2V	核心板 BANK65

(十九) 风扇

因为 ZU5EV 正常工作时会产生大量的热量 ,我们在板上为芯片增加了一个散热片和风扇，防止芯片过热。风扇的控制由 ZYNQ 芯片来控制 ,控制管脚连接到 BANK43 的 IO 上(AA11)，如果 IO 电平输出为高，MOSFET 管导通，风扇工作，如果 IO 电平输出为低，风扇停止。板上的风扇设计图如下图 3-19-1 所示:

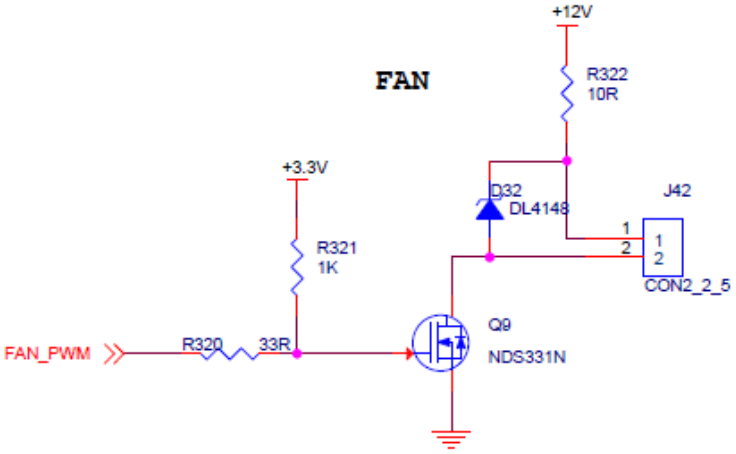


图 3-19-1 开发板原理图中风扇设计

风扇出厂前已经用螺丝固定在开发板上，风扇的电源连接到了 J42 的插座上，红色的为正极，黑色的为负极。

(二十) 结构尺寸图

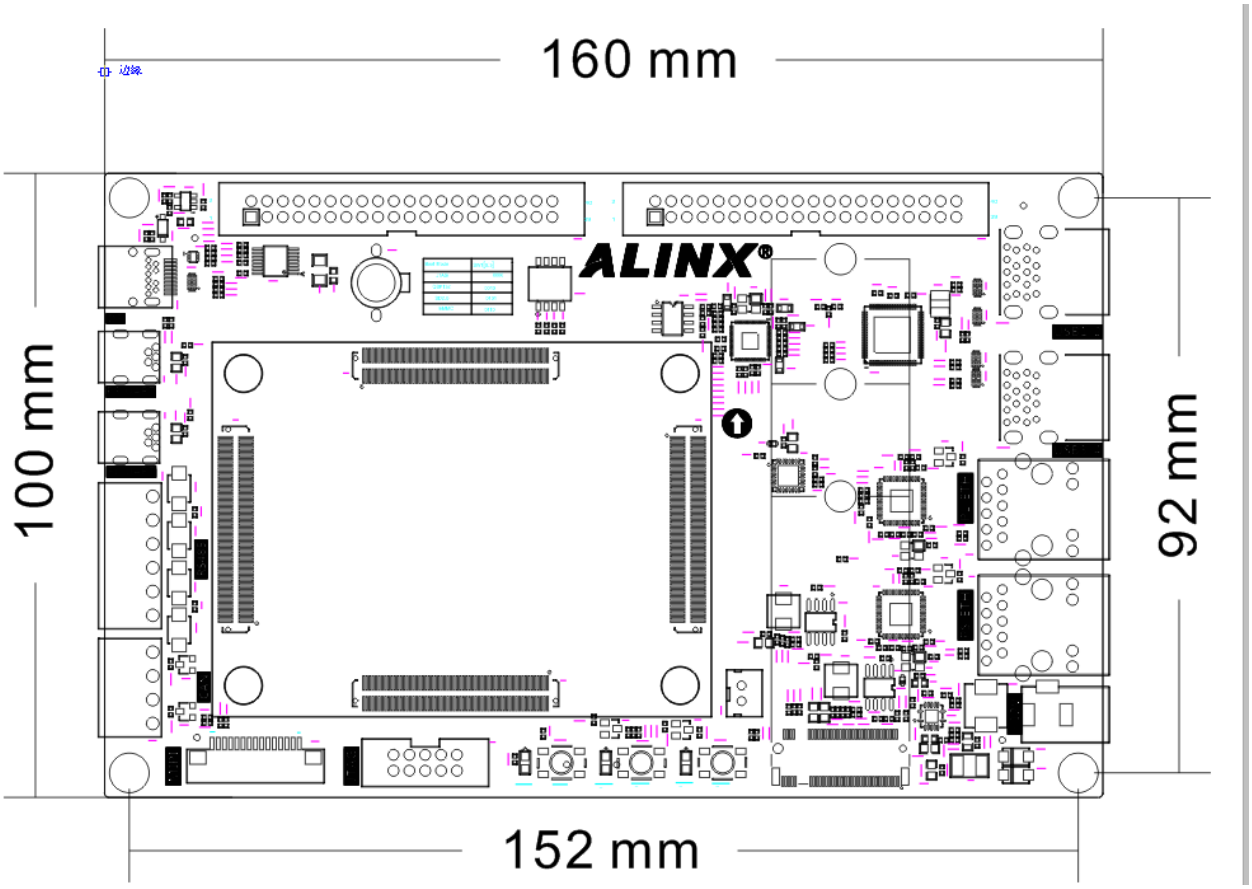


图 3-20-1 正面图（Top View）