

ZYNQ7000 开发平台

用户手册

AC7Z100B 核心板

ALINX

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

目 录

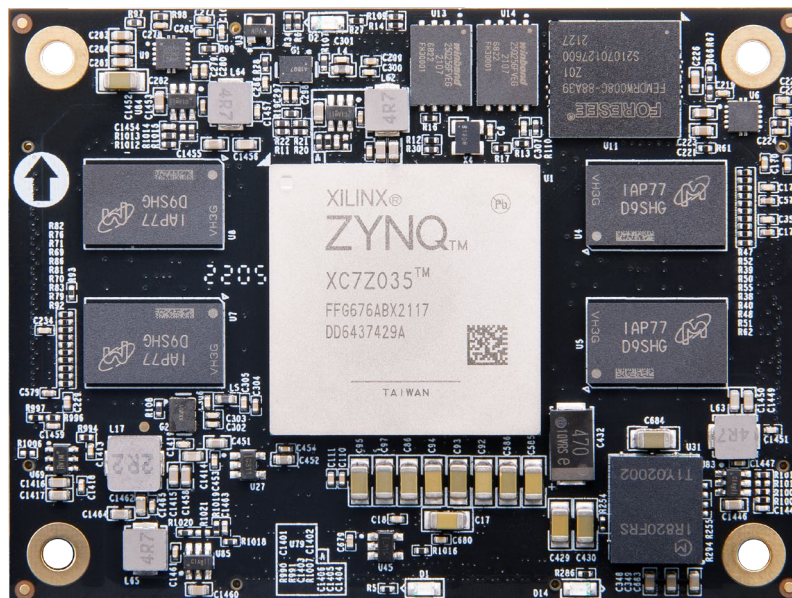
文档版本控制	2
(一) 简介	4
(二) ZYNQ 芯片	5
(三) DDR3 DRAM	7
(四) QSPI Flash	14
(五) eMMC Flash	15
(六) 时钟配置	16
(七) LED 灯	19
(八) 复位电路	20
(九) 电源	20
(十) 结构图	22
(十一) 连接器管脚定义	23

(一) 简介

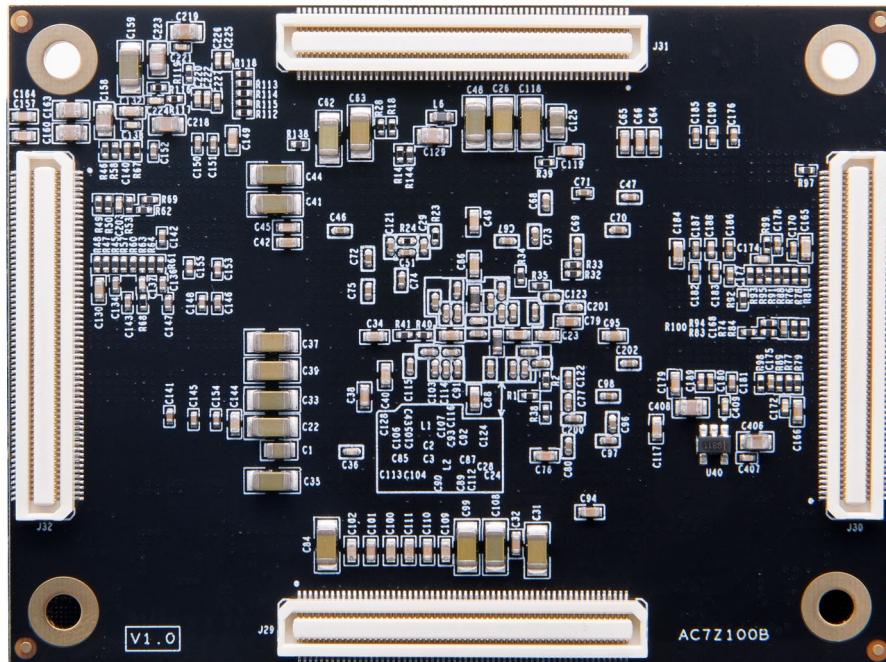
AC7Z100B(核心板型号, 下同)核心板, ZYNQ 芯片是基于 XILINX 公司的 ZYNQ7000 系列的 XC7Z100-2FFG900。ZYNQ 芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器, AMBA®互连, 内部存储器, 外部存储器接口和外设。ZYNQ 芯片的 FPGA 内部含有丰富的可编程逻辑单元, DSP 和内部 RAM。

这款核心板使用了 4 片 Micron 的 512MB 的 DDR3 芯片 MT41J256M16HA-125,总的容量达 4GB。其中 PS 和 PL 端各挂载两片, 分别组成 32bit 的总线宽度。PS 端的 DDR3 SDRAM 的最高运行速度可达 533MHz(数据速率 1066Mbps), PL 端的 DDR3 SDRAM 的最高运行速度可达 800MHz(数据速率 1600Mbps)。另外核心板上也集成了 2 片 256MBit 大小的 QSPI FLASH 和 8GB 大小的 eMMC FLASH 芯片, 用于启动存储配置和系统文件。

为了和底板连接, 这款核心板的 4 个板对板连接器扩展出了 PS 端的 USB 接口, 千兆以太网接口, SD 卡接口及其它剩余的 MIO 口; 也扩展出了 ZYNQ 的 16 对高速收发器 GTX 接口; 以及 PL 端的几乎所有 IO 口(114 个 3.3V IO 和 48 个 1.8V IO), 其中 BANK10 和 BANK11 的 IO 的电平可以通过更换核心板上的 LDO 芯片来修改, 满足用户不用电平接口的要求。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且 IO 连接部分, ZYNQ 芯片到接口之间走线做了等长和差分处理, 并且核心板尺寸仅为 80*60 (mm), 对于二次开发来说, 非常适合。



AC7Z100 核心板正面图



AC7Z100 核心板背面图

(二) ZYNQ 芯片

核心板使用的是 Xilinx 公司的 Zynq7000 系列的芯片，型号为 XC7Z100-2FFG900。芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/SDIO 接口，I2C 总线接口，CAN 总线接口，UART 接口，GPIO 等。PS 可以独立运行并在上电或复位下启动。ZYNQ7000 芯片的总体框图如图 2-2-1 所示

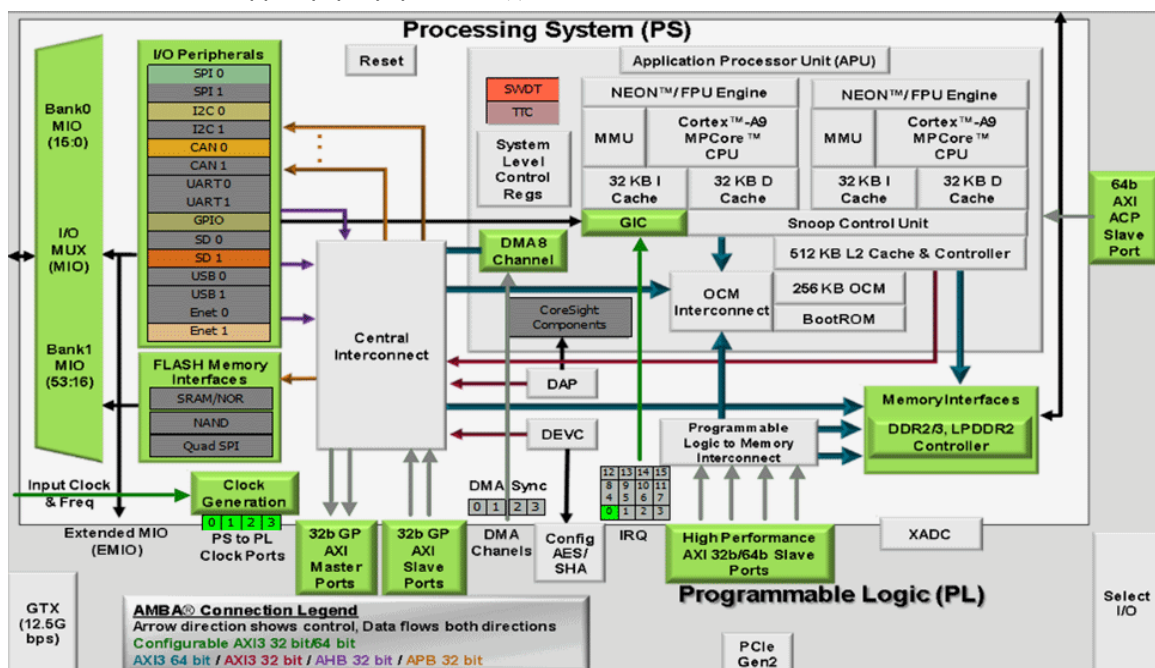


图2-2-1 ZYNQ7000芯片的总体框图

其中 PS 系统部分的主要参数如下：

- 基于 ARM 双核 CortexA9 的应用处理器，ARM-v7 架构 高达 800MHz
- 每个 CPU 32KB 1 级指令和数据缓存，512KB 2 级缓存 2 个 CPU 共享
- 片上 boot ROM 和 256KB 片内 RAM
- 外部存储接口，支持 16/32 bit DDR2、DDR3 接口
- 两个千兆网卡支持：发散-聚集 DMA ， GMII, RGMII, SGMII 接口
- 两个 USB2.0 OTG 接口，每个最多支持 12 节点
- 两个 CAN2.0B 总线接口
- 两个 SD 卡、SDIO、MMC 兼容控制器
- 2 个 SPI, 2 个 UARTs, 2 个 I2C 接口
- 54 个多功能配置的 IO，可以软件配置成普通 IO 或者外设控制接口
- PS 内和 PS 到 PL 的高带宽连接

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元 Logic Cells: 444K;
- 查找表 LUTs: 277400
- 触发器(flip-flops):554,800
- 乘法器 18x25MACCs: 2020;
- Block RAM: 26.5Mb;
- 16 路高速 GTX 收发器，支持 PCIE Gen2x8;
- 2 个 AD 转换器,可以测量片上电压、温度感应和高达 17 外部差分输入通道，1MBPS

XC7Z100-2FFG900I 芯片的速度等级为-2,工业级,封装为 FGG900,引脚间距为 1.0mm, ZYNQ7000 系列的具体的芯片型号定义如下图 2-2 所示。

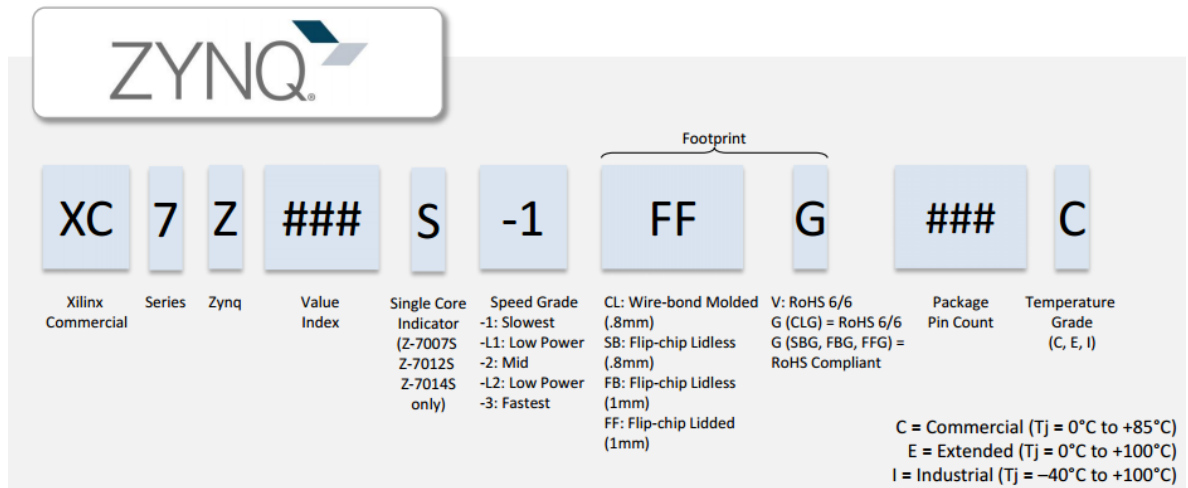


图2-2-2 ZYNQ型号命名规则定义

图 2-2-3 为核心板所用的 XC7Z100 芯片实物图。



图2-3 XC7Z100芯片实物

(三) DDR3 DRAM

AX7Z100核心板上配有四片Micron(美光) 的512MB的DDR3芯片,型号为MT41J256M16HA-125(兼容MT41K256M16HA-125), 其中PS和PL端各挂载两片。两片

DDR3 SDRAM组成32bit的总线宽度。PS端的DDR3 SDRAM的最高运行速度可达533MHz(数据速率1066Mbps)，两片DDR3存储系统直接连接到了ZYNQ处理系统（PS）的BANK 502的存储器接口上。PL端的DDR3 SDRAM的最高运行速度可达800MHz(数据速率1600Mbps)，两片DDR3存储系统连接到了FPGA的BANK33, BANK34的接口上。DDR3 SDRAM的具体配置如下表2-3-1所示。

表2-3-1 DDR3 SDRAM配置

位号	芯片型号	容量	厂家
U4,U5,U7,U8	MT41J256M16HA-125	256M x 16bit	Micron

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制，保证 DDR3 的高速稳定的工作。

PS 端的 DDR3 DRAM 的硬件连接方式如图 2-3-1 所示:

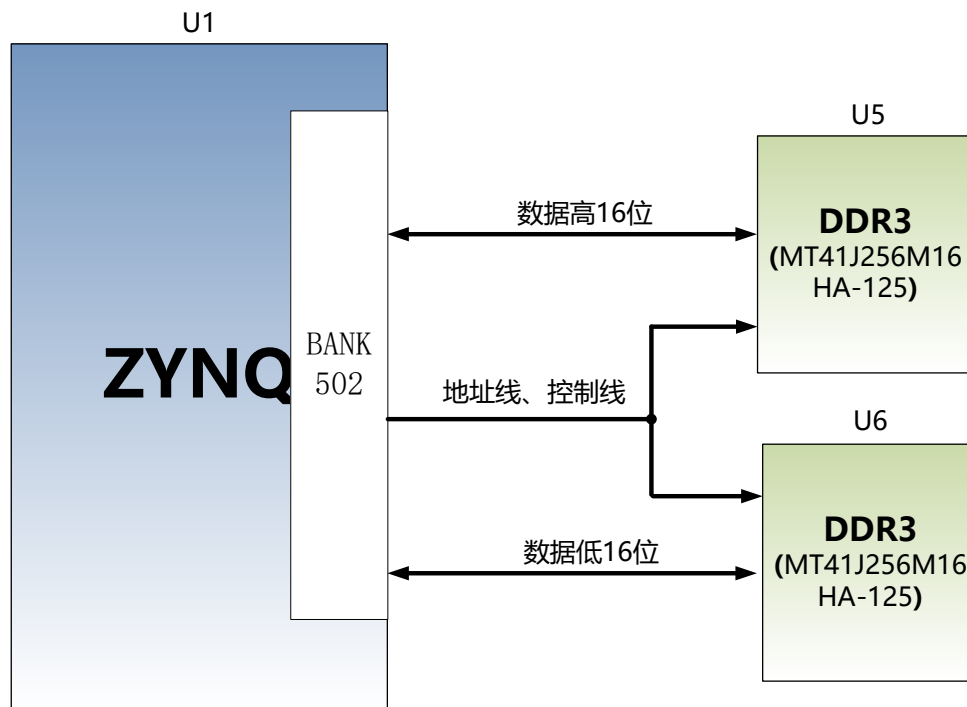


图2-3-1 PS端DDR3 DRAM原理图部分

PL 端的 DDR3 DRAM 的硬件连接方式如图 2-3-2 所示:

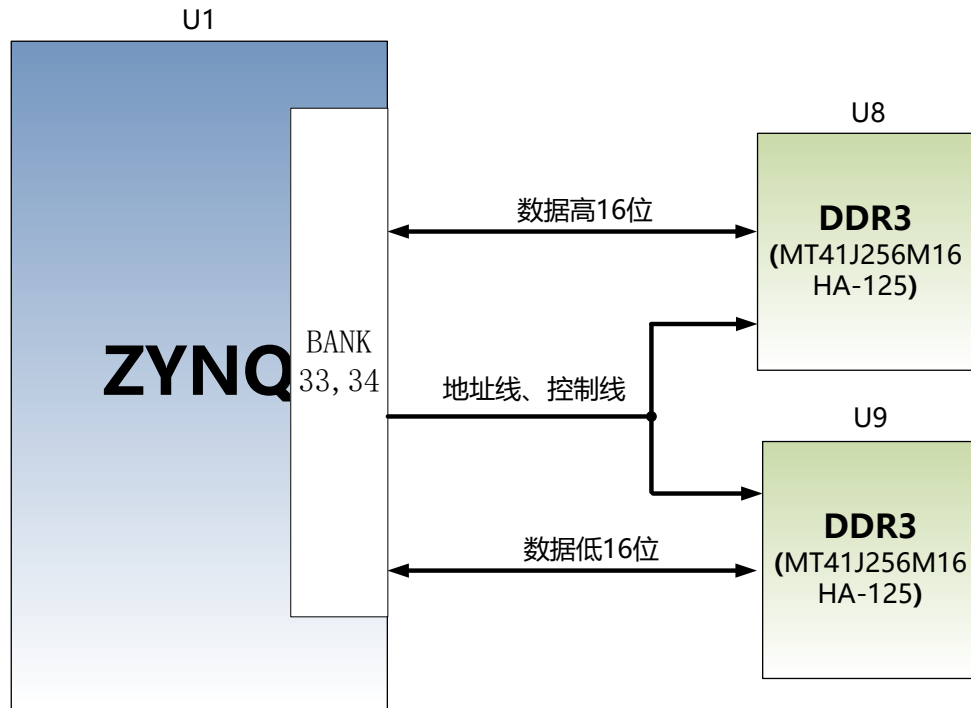


图2-3-2 PL端DDR3 DRAM原理图部分

PS 端 DDR3 DRAM 引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
PS_DDR3_DQS0_P	PS_DDR_DQS_P0_502	C26
PS_DDR3_DQS0_N	PS_DDR_DQS_N0_502	B26
PS_DDR3_DQS1_P	PS_DDR_DQS_P1_502	C29
PS_DDR3_DQS1_N	PS_DDR_DQS_N1_502	B29
PS_DDR3_DQS2_P	PS_DDR_DQS_P2_502	G29
PS_DDR3_DQS2_N	PS_DDR_DQS_N2_502	F29
PS_DDR3_DQS3_P	PS_DDR_DQS_P3_502	L28
PS_DDR3_DQS4_N	PS_DDR_DQS_N3_502	L29
PS_DDR3_D0	PS_DDR_DQ0_502	A25
PS_DDR3_D1	PS_DDR_DQ1_502	E25
PS_DDR3_D2	PS_DDR_DQ2_502	B27
PS_DDR3_D3	PS_DDR_DQ3_502	D25
PS_DDR3_D4	PS_DDR_DQ4_502	B25
PS_DDR3_D5	PS_DDR_DQ5_502	E26
PS_DDR3_D6	PS_DDR_DQ6_502	D26
PS_DDR3_D7	PS_DDR_DQ7_502	E27

PS_DDR3_D8	PS_DDR_DQ8_502	A29
PS_DDR3_D9	PS_DDR_DQ9_502	A27
PS_DDR3_D10	PS_DDR_DQ10_502	A30
PS_DDR3_D11	PS_DDR_DQ11_502	A28
PS_DDR3_D12	PS_DDR_DQ12_502	C28
PS_DDR3_D13	PS_DDR_DQ13_502	D30
PS_DDR3_D14	PS_DDR_DQ14_502	D28
PS_DDR3_D15	PS_DDR_DQ15_502	D29
PS_DDR3_D16	PS_DDR_DQ16_502	H27
PS_DDR3_D17	PS_DDR_DQ17_502	G27
PS_DDR3_D18	PS_DDR_DQ18_502	H28
PS_DDR3_D19	PS_DDR_DQ19_502	E28
PS_DDR3_D20	PS_DDR_DQ20_502	E30
PS_DDR3_D21	PS_DDR_DQ21_502	F28
PS_DDR3_D22	PS_DDR_DQ22_502	G30
PS_DDR3_D23	PS_DDR_DQ23_502	F30
PS_DDR3_D24	PS_DDR_DQ24_502	J29
PS_DDR3_D25	PS_DDR_DQ25_502	K27
PS_DDR3_D26	PS_DDR_DQ26_502	J30
PS_DDR3_D27	PS_DDR_DQ27_502	J28
PS_DDR3_D28	PS_DDR_DQ28_502	K30
PS_DDR3_D29	PS_DDR_DQ29_502	M29
PS_DDR3_D30	PS_DDR_DQ30_502	L30
PS_DDR3_D31	PS_DDR_DQ31_502	M30
PS_DDR3_DM0	PS_DDR_DM0_502	C27
PS_DDR3_DM1	PS_DDR_DM1_502	B30
PS_DDR3_DM2	PS_DDR_DM2_502	H29
PS_DDR3_DM3	PS_DDR_DM3_502	K28
PS_DDR3_A0	PS_DDR_A0_502	L25
PS_DDR3_A1	PS_DDR_A1_502	K26
PS_DDR3_A2	PS_DDR_A2_502	L27
PS_DDR3_A3	PS_DDR_A3_502	G25

PS_DDR3_A4	PS_DDR_A4_502	J26
PS_DDR3_A5	PS_DDR_A5_502	G24
PS_DDR3_A6	PS_DDR_A6_502	H26
PS_DDR3_A7	PS_DDR_A7_502	K22
PS_DDR3_A8	PS_DDR_A8_502	F27
PS_DDR3_A9	PS_DDR_A9_502	J23
PS_DDR3_A10	PS_DDR_A10_502	G26
PS_DDR3_A11	PS_DDR_A11_502	H24
PS_DDR3_A12	PS_DDR_A12_502	K23
PS_DDR3_A13	PS_DDR_A13_502	H23
PS_DDR3_A14	PS_DDR_A14_502	J24
PS_DDR3_BA0	PS_DDR_BA0_502	M27
PS_DDR3_BA1	PS_DDR_BA1_502	M26
PS_DDR3_BA2	PS_DDR_BA2_502	M25
PS_DDR3_S0	PS_DDR_CS_B_502	N22
PS_DDR3_RAS	PS_DDR_RAS_B_502	N24
PS_DDR3_CAS	PS_DDR_CAS_B_502	M24
PS_DDR3_WE	PS_DDR_WE_B_502	N23
PS_DDR3_ODT	PS_DDR_ODT_502	L23
PS_DDR3_RESET	PS_DDR_DRST_B_502	F25
PS_DDR3_CLK0_P	PS_DDR_CKP_502	K25
PS_DDR3_CLK0_N	PS_DDR_CKN_502	J25
PS_DDR3_CKE	PS_DDR_CKE_502	M22

PL 端 DDR3 DRAM 引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
PL_DDR3_DQS0_P	IO_L3P_T0_DQS_33	K3
PL_DDR3_DQS0_N	IO_L3N_T0_DQS_33	K2
PL_DDR3_DQS1_P	IO_L9P_T1_DQS_33	J1
PL_DDR3_DQS1_N	IO_L9N_T1_DQS_33	H1
PL_DDR3_DQS2_P	IO_L15P_T2_DQS_33	E6
PL_DDR3_DQS2_N	IO_L15N_T2_DQS_33	D5

PL_DDR3_DQS3_P	IO_L21P_T3_DQS_33	A5
PL_DDR3_DQS4_N	IO_L21N_T3_DQS_33	A4
PL_DDR3_D0	IO_L1N_T0_33	J3
PL_DDR3_D1	IO_L4N_T0_33	L2
PL_DDR3_D2	IO_L1P_T0_33	J4
PL_DDR3_D3	IO_L4P_T0_33	L3
PL_DDR3_D4	IO_L2N_T0_33	K1
PL_DDR3_D5	IO_L6P_T0_33	K6
PL_DDR3_D6	IO_L5N_T0_33	J5
PL_DDR3_D7	IO_L5P_T0_33	K5
PL_DDR3_D8	IO_L11P_T1_SRCC_33	H4
PL_DDR3_D9	IO_L10N_T1_33	G1
PL_DDR3_D10	IO_L8P_T1_33	H6
PL_DDR3_D11	IO_L7N_T1_33	F2
PL_DDR3_D12	IO_L10P_T1_33	H2
PL_DDR3_D13	IO_L12N_T1_MRCC_33	G4
PL_DDR3_D14	IO_L8N_T1_33	G6
PL_DDR3_D15	IO_L11N_T1_SRCC_33	H3
PL_DDR3_D16	IO_L18P_T2_33	E1
PL_DDR3_D17	IO_L17P_T2_33	E3
PL_DDR3_D18	IO_L16N_T2_33	D3
PL_DDR3_D19	IO_L14P_T2_SRCC_33	F4
PL_DDR3_D20	IO_L18N_T2_33	D1
PL_DDR3_D21	IO_L13N_T2_MRCC_33	E5
PL_DDR3_D22	IO_L16P_T2_33	D4
PL_DDR3_D23	IO_L17N_T2_33	E2
PL_DDR3_D24	IO_L22P_T3_33	C2
PL_DDR3_D25	IO_L24N_T3_33	A2
PL_DDR3_D26	IO_L20N_T3_33	B4
PL_DDR3_D27	IO_L20P_T3_33	B5
PL_DDR3_D28	IO_L22N_T3_33	C1
PL_DDR3_D29	IO_L24P_T3_33	A3

PL_DDR3_D30	IO_L19P_T3_33	C4
PL_DDR3_D31	IO_L23P_T3_33	B2
PL_DDR3_DM0	IO_L2P_T0_33	L1
PL_DDR3_DM1	IO_L12P_T1_MRCC_33	G5
PL_DDR3_DM2	IO_L14N_T2_SRCC_33	F3
PL_DDR3_DM3	IO_L23N_T3_33	B1
PL_DDR3_A0	IO_L18P_T2_34	H7
PL_DDR3_A1	IO_L21P_T3_DQS_34	L8
PL_DDR3_A2	IO_L7N_T1_34	H11
PL_DDR3_A3	IO_L10N_T1_34	D10
PL_DDR3_A4	IO_L15N_T2_DQS_34	H8
PL_DDR3_A5	IO_L8N_T1_34	D11
PL_DDR3_A6	IO_L19P_T3_34	L7
PL_DDR3_A7	IO_L10P_T1_34	E10
PL_DDR3_A8	IO_L23P_T3_34	L10
PL_DDR3_A9	IO_L9P_T1_DQS_34	H12
PL_DDR3_A10	IO_L18N_T2_34	G7
PL_DDR3_A11	IO_L20N_T3_34	J9
PL_DDR3_A12	IO_L13P_T2_MRCC_34	H9
PL_DDR3_A13	IO_L7P_T1_34	J11
PL_DDR3_A14	IO_L22N_T3_34	K10
PL_DDR3_BA0	IO_L22P_T3_34	K11
PL_DDR3_BA1	IO_L21N_T3_DQS_34	K8
PL_DDR3_BA2	IO_L9N_T1_DQS_34	G11
PL_DDR3_S0	IO_L16P_T2_34	F8
PL_DDR3_RAS	IO_L13N_T2_MRCC_34	G9
PL_DDR3_CAS	IO_L17P_T2_34	E7
PL_DDR3_WE	IO_L16N_T2_34	F7
PL_DDR3_ODT	IO_L20P_T3_34	J10
PL_DDR3_RESET	IO_L8P_T1_34	E11
PL_DDR3_CLK0_P	IO_L12P_T1_MRCC_34	D9
PL_DDR3_CLK0_N	IO_L12N_T1_MRCC_34	D8

PL_DDR3_CKE	IO_L17N_T2_34	D6
-------------	---------------	----

(四) QSPI Flash

核心板配有 2 片 256MBit 大小的 Quad-SPI FLASH 芯片组成 8 位带宽数据总线, FLASH 型号为 W25Q256FVEI, 它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性, 在使用中, 它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U13,U14	W25Q256FVEI	256M bit	Winbond

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上, 在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 4-1 为 QSPI Flash 在原理图中的部分。

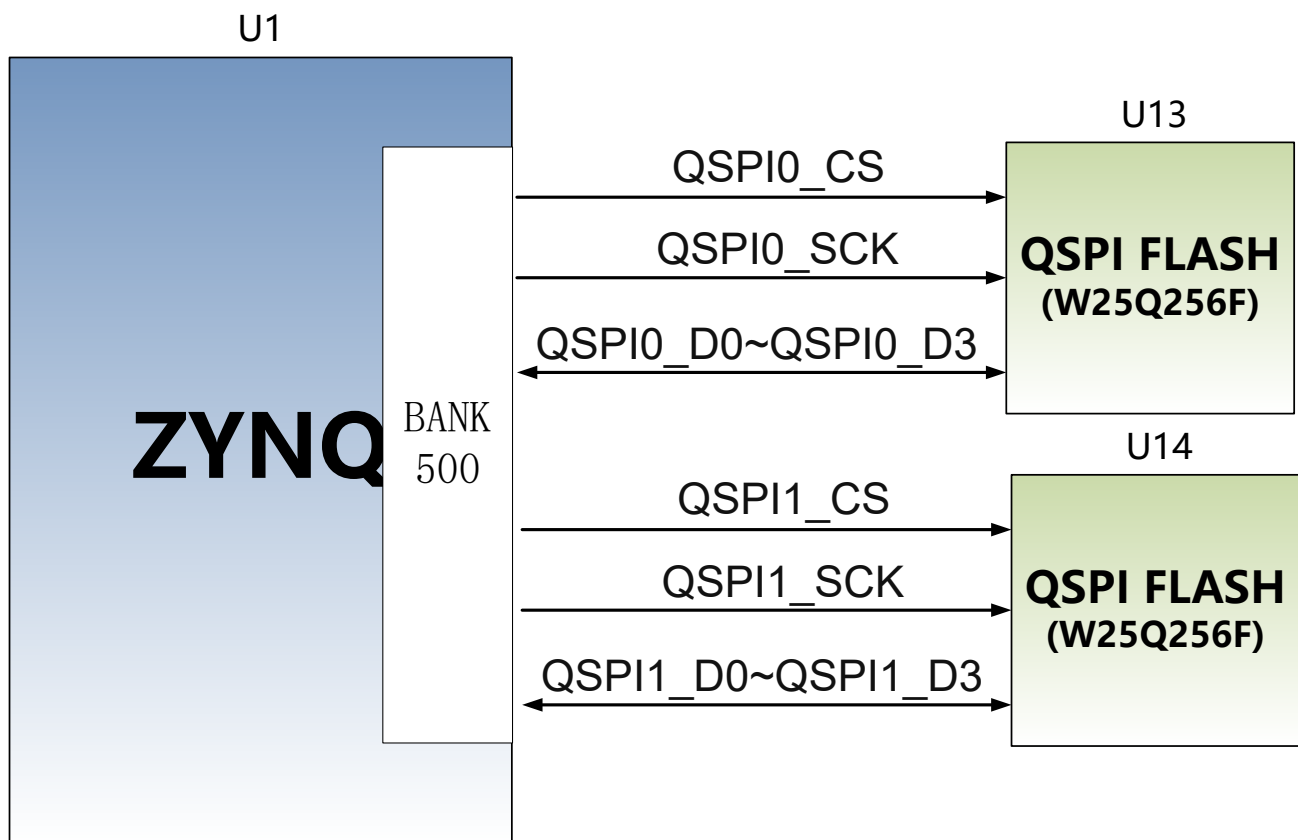


图 2-4-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
QSPIO_SCK	PS_MIO6_500	D24
QSPIO_CS	PS_MIO1_500	D23
QSPIO_D0	PS_MIO2_500	F23
QSPIO_D1	PS_MIO3_500	C23
QSPIO_D2	PS_MIO4_500	E23
QSPIO_D3	PS_MIO5_500	C24
QSPI1_SCK	PS_MIO9_500	A24
QSPI1_CS	PS_MIO0_500	F24
QSPI1_D0	PS_MIO10_500	E22
QSPI1_D1	PS_MIO11_500	A23
QSPI1_D2	PS_MIO12_500	E21
QSPI1_D3	PS_MIO13_500	F22

(五) eMMC Flash

核心板配有一片大容量的 8GB 大小的 eMMC FLASH 芯片，型号为 THGBMFG6C1LBAIL，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V 或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 4bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-5-1。

位号	芯片类型	容量	厂家
U15	THGBMFG6C1LBAIL	8G Byte	TOSHIBA

表2-5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK501 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 SD 接口。为图 2-5-1 为 eMMC Flash 在原理图中的部分。

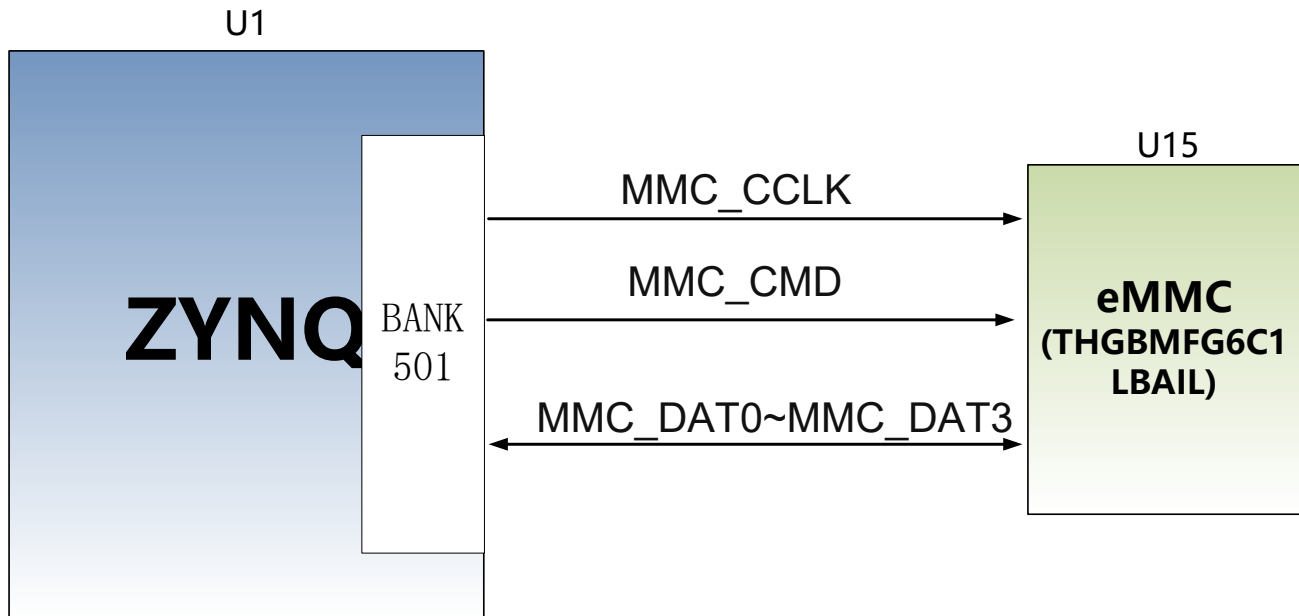


图 2-5-1 eMMC Flash 连接示意图

配置芯片引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
MMC_CCLK	PS_MIO48_501	C19
MMC_CMD	PS_MIO47_501	A18
MMC_D0	PS_MIO46_501	F20
MMC_D1	PS_MIO49_501	D18
MMC_D2	PS_MIO50_501	A19
MMC_D3	PS_MIO51_501	F19

(六) 时钟配置

核心板上分别为 PS 系统, PL 逻辑部分和 GTX 收发器提供了参考时钟, 使 PS 系统和 PL 逻辑可以单独工作。时钟电路设计的示意图如下图 2-6-1 所示:

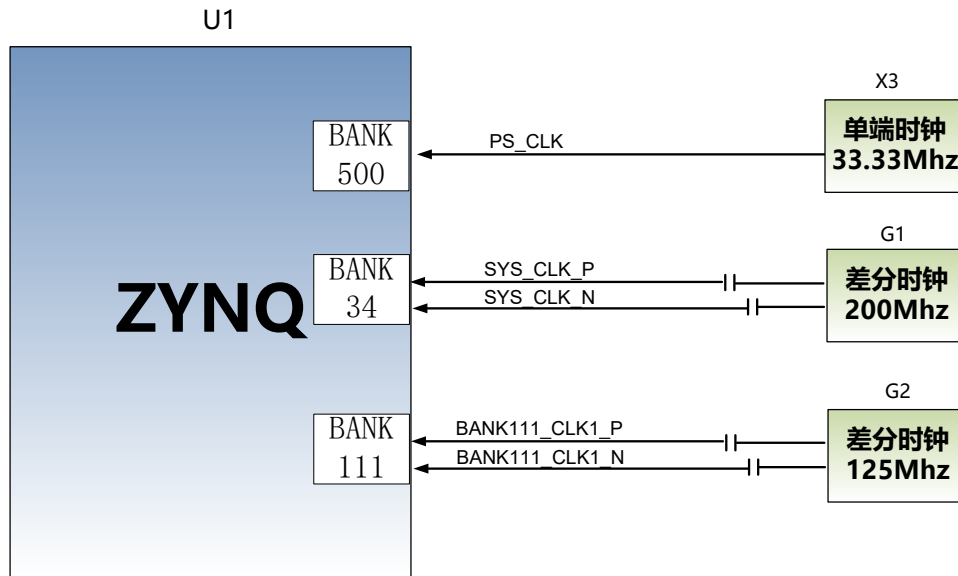


图 2-6-1 核心板时钟源

PS 系统时钟源

ZYNQ 芯片通过核心板上的 X4 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK500 的 PS_CLK_500 的管脚上。其原理图如图 2-6-2 所示：

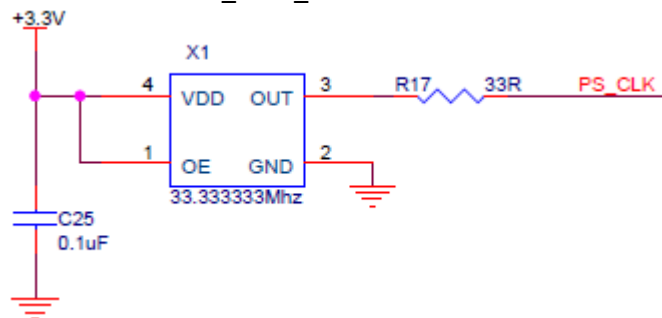


图 2-6-2 PS 部分的有源晶振

时钟引脚分配：

信号名称	ZYNQ 引脚
PS_CLK	A22

PL 系统时钟源

板上提供了一个差分 200MHz 的 PL 系统时钟源，用于 DDR3 控制器的参考时钟。晶振输出连接到 FPGA BANK34 的全局时钟(MRCC)，这个全局时钟可以用来驱动 FPGA 内的 DDR3 控制器和用户逻辑电路。该时钟源的原理图如图 2-6-4 所示

SYSTEM CLOCK

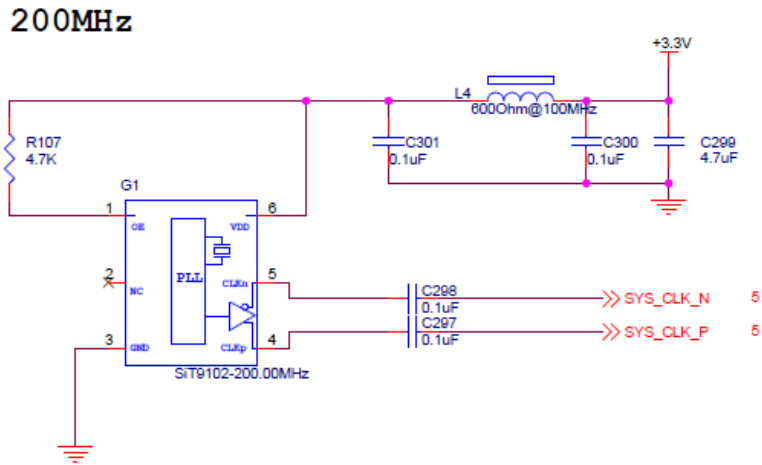


图 2-6-4 PL系统时钟源

PL 时钟引脚分配:

信号名称	ZYNQ 引脚
SYS_CLK_P	F9
SYS_CLK_N	E8

GTX 参考时钟

核心板上为 GTX 收发器提供了 125MHz 的参考时钟。参考时钟连接到 BANK110 的参考时钟输入 REFCLK1P/REFCLK1N。该时钟源的原理图如图 2-6-6 所示

GTX CLOCK

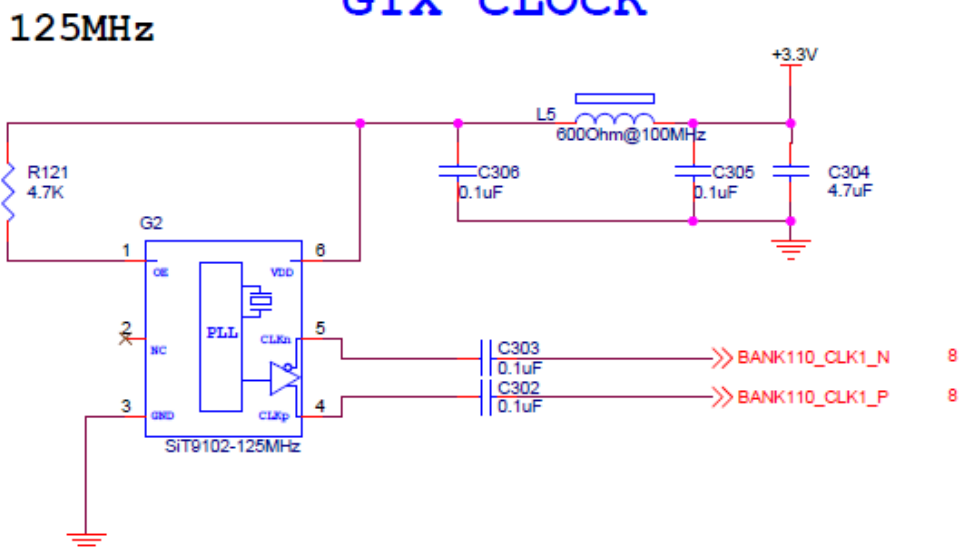


图 2-6-6 GTX 时钟源

图 6-7 为可 GTX 时钟源的实物图

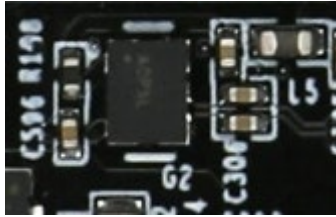


图2-6-7 可编程时钟源实物图

GTX 时钟源 ZYNQ 引脚分配:

信号名称	ZYNQ 引脚
BANK110_CLK1_P	AC8
BANK110_CLK1_N	AC7

(七) LED 灯

AC7Z100B 核心板上有 2 个红色 LED 灯,其中 1 个是电源指示灯(PWR),1 个是配置 LED 灯(DONE)。电源指示灯会亮起;当 FPGA 配置程序后,配置 LED 灯会亮起。LED 灯硬件连接的示意图如图 2-7-1 所示:

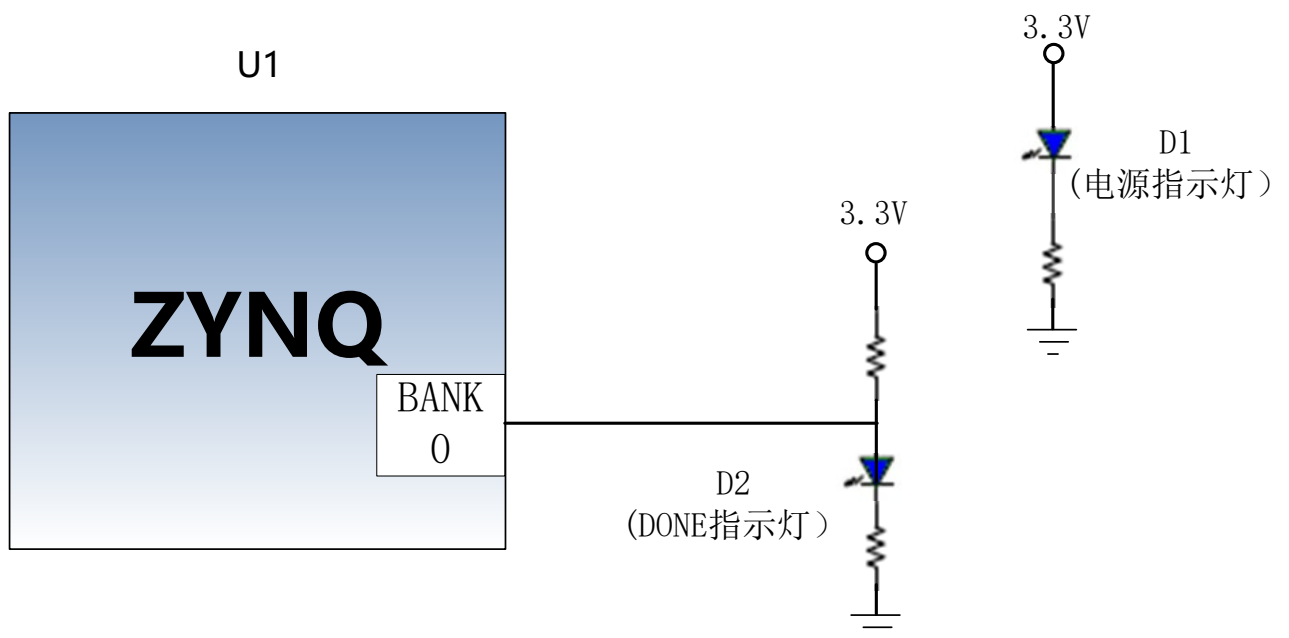


图 2-7-1 核心板 LED 灯硬件连接示意图

(八) 复位电路

AC7Z100B 核心板上有一个复位电路，复位输入信号连接到底板的复位按键，复位输出连接到 ZYNQ 芯片 PS 复位管脚上，用户可以使用这个底板按键来复位 ZYNQ 系统。复位连接的示意图如图 2-8-1 所示：

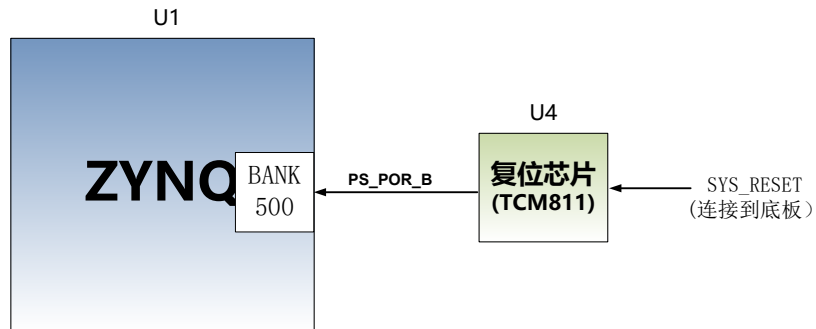


图 2-8-1 复位连接示意图

复位按键的 ZYNQ 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PS_POR_B	PS_POR_B_500	D21	ZYNQ系统复位信号

(九) 电源

AC7Z100B 核心板供电电压为 DC5V，通过连接底板供电。板上的电源设计示意图如下图 2-9-1 所示：

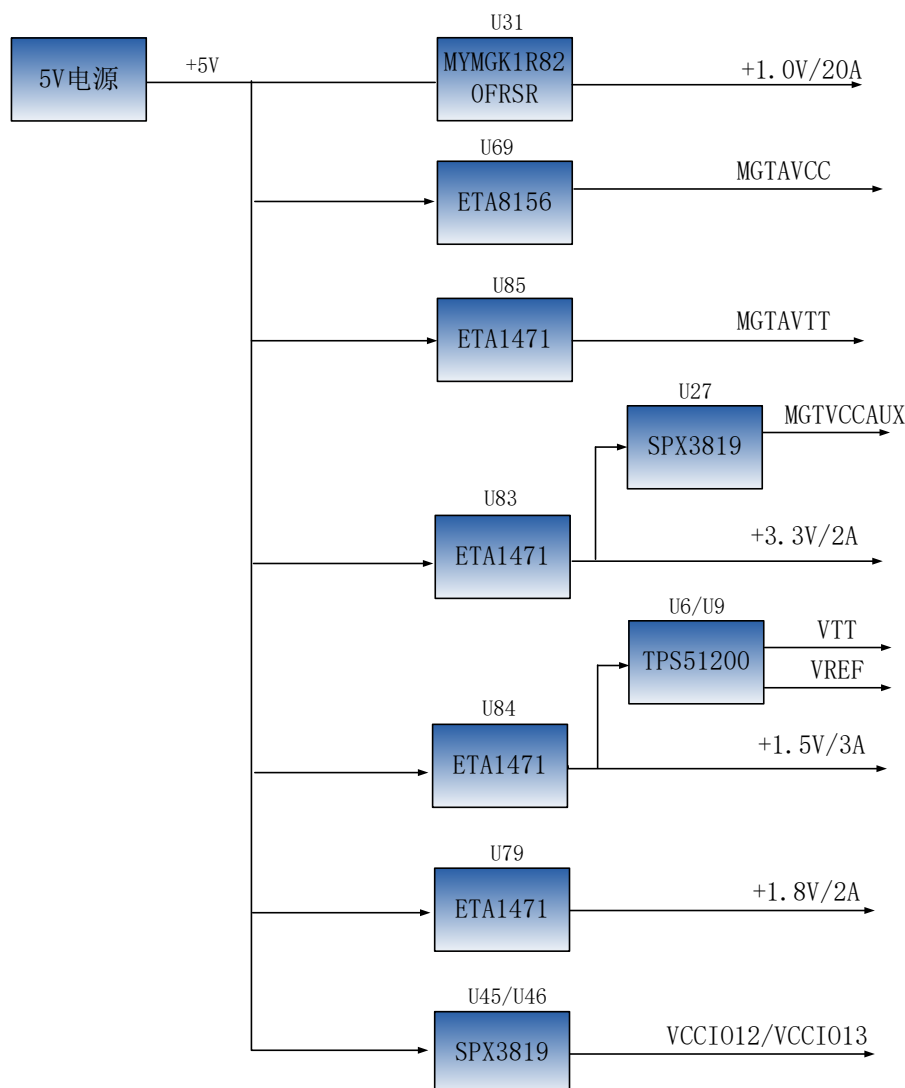


图 2-9-1 原理图中电源接口部分

+5V 通过 DCDC 电源芯片 MYMGK1R820FRSR 产生+1.0V 的 ZYNQ 核心电源，+1.0V 电源输出电流高达 20A，远远满足 ZYNQ 的核心电压的电流需求。+5V 电源再通过 DCDC 芯片 ETA1471 来产生 MGTAVTT, +1.5V, +3.3V, +1.5V 四路电源。通过 DCDC 芯片 ETA8156 产生 MGTAVTT 的电源，+3.3V 通过一个 LDO 芯片 SPX3819-1-8 产生 GTX 的辅助电源 +1.8V。PS 部分和 PL 部分的 DDR3 的 VTT 和 VREF 电压由 TPS51200 来产生。另外通过 2 路 SPX3819M5-3-3 产生 BANK12 和 BANK13 的 IO 电源，用户可以通过更换 LDO 芯片，使得这两个 BANK 的 IO 输入输出为其它的电压标准。

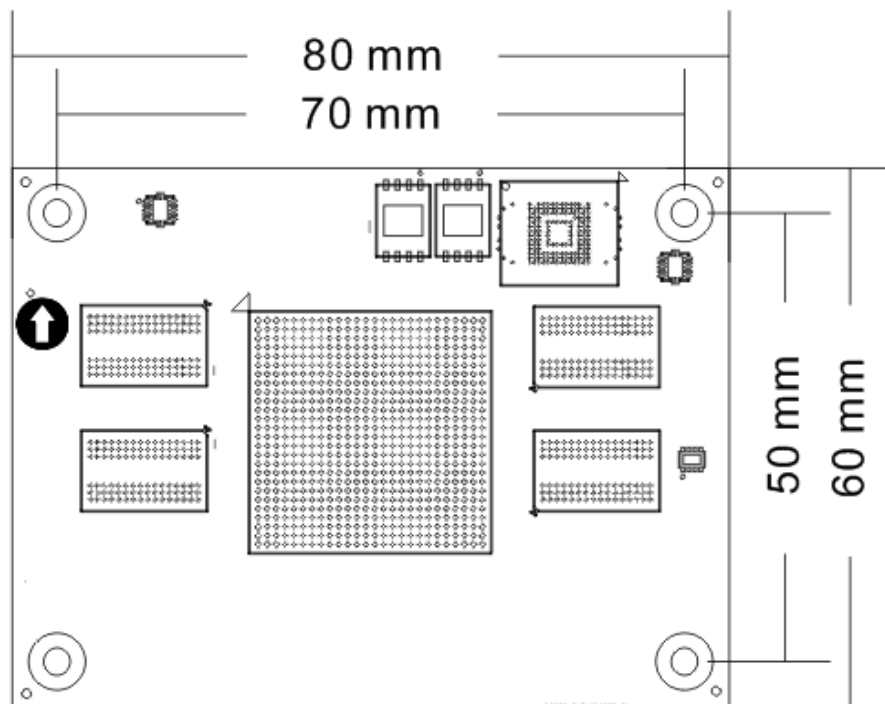
各个电源分配的功能如下表所示：

电源	功能
+1.0V	ZYNQ PS 和 PL 部分的内核电压
+1.8V	ZYNQ PS 和 PL 部分辅助电压,

	BANK501, BANK35, eMMC
+3.3V	ZYNQ Bank0, Bank500, QSIP FLASH, Clock 晶振
+1.5V	DDR3, ZYNQ Bank502, Bank33, Bank34
VCCIO12	ZYNQ Bank12
VCCIO13	ZYNQ Bank13
VREF, VTT (+0.75V)	PS DDR3, PL DDR3
MGTAVCC(+1.0V)	ZYNQ Bank111, Bank112
MGTAVTT(+1.2V)	ZYNQ Bank111, Bank112
MGTVCCAUX (+1.8V)	ZYNQ Bank111, Bank112

因为 ZYNQ FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照 芯片的电源要求设计，上电依次为+1.0V->+1.8V-> (+1.5 V、+3.3V、VCCIO12, VCCIO13) 的电路设计，保证芯片的正常工作。

(十) 结构图



正面图 (Top View)

(十一) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口，使用 4 个 120Pin 的板间连接器 (J29~J32) 和底板连接，连接器使用松下的 AXK5A2137YG，对应底板的连接器型号为 AXK6A2337YG。其中 J29 连接 BANK10, BANK11 的 IO，J30 连接 GTX 的收发器信号，J31 连接 JTAG 和 BANK35 的 IO (1.8V 电平标准)，J32 连接 PS 的 MIO，BANK11 和 BANK12 的 IO 和 +5V 电源。

J29 连接器的引脚分配

J29 管脚	信号名称	ZYNQ 引脚号	J29 管脚	信号名称	ZYNQ 引脚号
1	B11_L4_N	AJ24	2	B11_L1_N	AK25
3	B11_L4_P	AJ23	4	B11_L1_P	AJ25
5	GND	-	6	GND	-
7	B11_L3_P	AJ21	8	B11_L8_N	AG25
9	B11_L3_N	AK21	10	B11_L8_P	AG24
11	GND	-	12	GND	-
13	B11_L2_N	AK23	14	B11_L12_N	AF22
15	B11_L2_P	AK22	16	B11_L12_P	AE22
17	GND	-	18	GND	-
19	B11_L5_N	AH24	20	B11_L16_N	AK18
21	B11_L5_P	AH23	22	B11_L16_P	AK17
23	GND	-	24	GND	-
25	B11_L15_P	AJ20	26	B11_L6_N	AH22
27	B11_L15_N	AK20	28	B11_L6_P	AG22
29	GND	-	30	GND	-
31	B11_L13_N	AH21	32	B11_L17_N	AJ19
33	B11_L13_P	AG21	34	B11_L17_P	AH19
35	GND	-	36	GND	-
37	B11_L14_N	AG20	38	B11_L18_N	AG19
39	B11_L14_P	AF20	40	B11_L18_P	AF19
41	GND	-	42	GND	-
43	B11_L19_P	AB21	44	B11_L20_N	Y21
45	B11_L19_N	AB22	46	B11_L20_P	W21

47	GND	-	48	GND	-
49	B10_L13_P	AG17	50	B10_L17_P	AE18
51	B10_L13_N	AG16	52	B10_L17_N	AE17
53	GND	-	54	GND	-
55	B10_L2_P	AH18	56	B10_L15_P	AF18
57	B10_L2_N	AJ18	58	B10_L15_N	AF17
59	GND	-	60	GND	-
61	B10_L4_P	AJ16	62	B10_L6_P	AH17
63	B10_L4_N	AK16	64	B10_L6_N	AH16
65	GND	-	66	GND	-
67	B10_L16_P	AE16	68	B10_L24_N	AB16
69	B10_L16_N	AE15	70	B10_L24_P	AB17
71	GND	-	72	GND	-
73	B10_L20_P	AA15	74	B10_L5_N	AK15
75	B10_L20_N	AA14	76	B10_L5_P	AJ15
77	GND	-	78	GND	-
79	B10_L18_P	AD16	80	B10_L23_P	AC17
81	B10_L18_N	AD15	82	B10_L23_N	AC16
83	GND	-	84	GND	-
85	B10_L14_N	AG15	86	B10_L12_P	AF14
87	B10_L14_P	AF15	88	B10_L12_N	AG14
89	GND	-	90	GND	-
91	B10_L1_P	AK13	92	B10_L22_P	AB15
93	B10_L1_N	AK12	94	B10_L22_N	AB14
95	GND	-	96	GND	-
97	B10_L8_P	AH14	98	B10_L3_P	AJ14
99	B10_L8_N	AH13	100	B10_L3_N	AJ13
101	GND	-	102	GND	-
103	B10_L10_N	AH12	104	B10_L11_N	AF13
105	B10_L10_P	AG12	106	B10_L11_P	AE13
107	GND	-	108	GND	-
109	B10_L7_N	AF12	110	B10_L9_P	AD14

111	B10_L7_P	AE12	112	B10_L9_N	AD13
113	GND	-	114	GND	-
115	B10_L19_P	AC14	116	B10_L21_N	AC12
117	B10_L19_N	AC13	118	B10_L21_P	AB12
119	GND	-	120	GND	-

J30 连接器的引脚分配

J30 管脚	信号名称	ZYNQ 引脚号	J30 管脚	信号名称	ZYNQ 引脚号
1	BANK111_TX0_N	AB1	2	BANK111_RX0_N	AC3
3	BANK111_TX0_P	AB2	4	BANK111_RX0_P	AC4
5	GND	-	6	GND	-
7	BANK111_TX1_N	Y1	8	BANK111_RX1_N	AB5
9	BANK111_TX1_P	Y2	10	BANK111_RX1_P	AB6
11	GND	-	12	GND	-
13	BANK111_TX2_N	W3	14	BANK111_RX2_N	Y5
15	BANK111_TX2_P	W4	16	BANK111_RX2_P	Y6
17	GND	-	18	GND	-
19	BANK111_TX3_N	V1	20	BANK111_RX3_N	AA3
21	BANK111_TX3_P	V2	22	BANK111_RX3_P	AA4
23	GND	-	24	GND	-
25	BANK111_CLK0_N	U7	26	BANK111_CLK1_N	W7
27	BANK111_CLK0_P	U8	28	BANK111_CLK1_P	W8
29	GND	-	30	GND	-
31	BANK112_TX0_N	T1	32	BANK112_RX0_N	V5
33	BANK112_TX0_P	T2	34	BANK112_RX0_P	V6
35	GND	-	36	GND	-
37	BANK112_TX1_N	R3	38	BANK112_RX1_N	U3
39	BANK112_TX1_P	R4	40	BANK112_RX1_P	U4
41	GND	-	42	GND	-
43	BANK112_TX2_N	P1	44	BANK112_RX2_N	T5
45	BANK112_TX2_P	P2	46	BANK112_RX2_P	T6

47	GND	-	48	GND	-
49	BANK112_TX3_N	N3	50	BANK112_RX3_N	P5
51	BANK112_TX3_P	N4	52	BANK112_RX3_P	P6
53	GND	-	54	GND	-
55	BANK112_CLK0_N	N7	56	BANK112_CLK1_N	R7
57	BANK112_CLK0_P	N8	58	BANK112_CLK1_P	R8
59	GND	-	60	GND	-
61	BANK109_RX2_N	AG7	62	BANK110_RX0_N	AH5
63	BANK109_RX2_P	AG8	64	BANK110_RX0_P	AH6
65	GND	-	66	GND	-
67	BANK109_RX3_N	AE7	68	BANK110_TX0_N	AH1
69	BANK109_RX3_P	AE8	70	BANK110_TX0_P	AH2
71	GND	-	72	GND	-
73	BANK109_RX1_P	AJ8	74	BANK110_RX1_N	AG3
75	BANK109_RX1_N	AJ7	76	BANK110_RX1_P	AG4
77	GND	-	78	GND	-
79	BANK109_TX1_P	AK6	80	BANK110_TX1_N	AF1
81	BANK109_TX1_N	AK5	82	BANK110_TX1_P	AF2
83	GND	-	84	GND	-
85	BANK109_TX2_P	AJ4	86	BANK110_RX2_N	AF5
87	BANK109_TX2_N	AJ3	88	BANK110_RX2_P	AF6
89	GND	-	90	GND	-
91	BANK109_TX3_P	AK2	92	BANK110_TX2_N	AE3
93	BANK109_TX3_N	AK1	94	BANK110_TX2_P	AE4
95	GND	AA12	96	GND	-
97	BANK109_TX0_N	AK9	98	BANK110_RX3_N	AD5
99	BANK109_TX0_P	AK10	100	BANK110_RX3_P	AD6
101	GND	-	102	GND	-
103	BANK109_RX0_N	AH9	104	BANK110_TX3_N	AD1
105	BANK109_RX0_P	AH10	106	BANK110_TX3_P	AD2
107	GND	-	108	GND	-
109	BANK109_CLK0_N	AD9	110	BANK110_CLK0_N	AA7

111	BANK109_CLK0_P	AD10	112	BANK110_CLK0_P	AA8
113	GND	-	114	GND	-
115			116		
117			118		
119	GND	AA12	120	GND	AA12

J31 连接器的引脚分配

J31 管脚	信号名称	ZYNQ 引脚号	J31 管脚	信号名称	ZYNQ 引脚号
1	FPGA_TCK	Y12	2	FPGA_TDI	P10
3	FPGA_TMS	V10	4	FPGA_TDO	Y10
5	GND	-	6	GND	-
7	B35_L2_P	J13	8	B35_L8_N	G14
9	B35_L2_N	H13	10	B35_L8_P	G15
11	GND	-	12	GND	-
13	B35_L9_P	G12	14	B35_L3_N	K13
15	B35_L9_N	F12	16	B35_L3_P	L13
17	GND	-	18	GND	-
19	B35_L22_N	B11	20	B35_L5_P	K15
21	B35_L22_P	C11	22	B35_L5_N	J15
23	GND	-	24	GND	-
25	B35_L20_N	B12	26	B35_L10_P	F13
27	B35_L20_P	C12	28	B35_L10_N	E12
29	GND	-	30	GND	AA12
31	B35_L19_N	C13	32	B35_L12_N	F14
33	B35_L19_P	C14	34	B35_L12_P	F15
35	GND	-	36	GND	-
37	B35_L24_N	A12	38	B35_L11_N	D13
39	B35_L24_P	A13	40	B35_L11_P	E13
41	GND	-	42	GND	-
43	B35_L4_N	H14	44	B35_L23_P	B14
45	B35_L4_P	J14	46	B35_L23_N	A14

47	GND	-	48	GND	-
49	B35_L1_N	L14	50	B35_L21_P	B15
51	B35_L1_P	L15	52	B35_L21_N	A15
53	GND	-	54	GND	-
55	B35_L16_N	C16	56	B35_L14_P	D15
57	B35_L16_P	D16	58	B35_L14_N	D14
59	GND	-	60	GND	-
61	B35_L18_N	A17	62	B35_L13_N	E15
63	B35_L18_P	B17	64	B35_L13_P	E16
65	GND	-	66	GND	-
67	B35_L15_N	E17	68	B35_L17_N	B16
69	B35_L15_P	F17	70	B35_L17_P	C17
71	GND	-	72	GND	-
73	B35_L7_N	G16	74		
75	B35_L7_P	G17	76		
77	GND	-	78	GND	-
79	B35_L6_N	H16	80		
81	B35_L6_P	J16	82		
83	GND	-	84	GND	-
85			86		
87			88		
89	GND	-	90	GND	-
91			92		
93			94		
95	GND	-	96	GND	-
97			98		
99			100		
101	GND	-	102	GND	-
103			104		
105			106		
107	GND	-	108	GND	-
109			110		

111			112		
113	GND	-	114	GND	-
115	PS_POR_B		116		
117	SYS_RESET	-	118		
119	GND	-	120	GND	-

J32 连接器的引脚分配

J32 管脚	信号名称	ZYNQ 引脚号	J32 管脚	信号名称	ZYNQ 引脚号
1	PS_MIO5	C24	2	PS_MIO17	K21
3	PS_MIO4	E23	4	PS_MIO18	K20
5	GND	-	6	GND	-
7	PS_MIO14	B22	8	PS_MIO19	J20
9	PS_MIO15	C22	10	PS_MIO20	M20
11	GND	-	12	GND	-
13	PS_MIO52	D19	14	PS_MIO16	L19
15	PS_MIO53	C18	16	PS_MIO21	J19
17	GND	-	18	GND	-
19	PS_MIO7	B24	20	PS_MIO26	M17
21			22	PS_MIO25	G19
23	GND	-	24	GND	-
25	PS_MIO40	B20	26	PS_MIO24	M19
27	PS_MIO41	J18	28	PS_MIO23	J21
29	GND	-	30	GND	-
31	PS_MIO42	D20	32	PS_MIO27	G20
33	PS_MIO43	E18	34	PS_MIO22	L20
35	GND	-	36	GND	-
37	PS_MIO44	E20	38	PS_MIO30	L18
39	PS_MIO45	H18	40	PS_MIO29	H22
41	GND	-	42	GND	-
43	B12_L2_N	AB30	44	PS_MIO36	H17
45	B12_L2_P	AB29	46	PS_MIO31	H21

47	GND	-	48	GND	-
49	B12_L4_N	AA29	50	PS_MIO32	K17
51	B12_L4_P	Y28	52	PS_MIO33	G22
53	GND	-	54	GND	-
55	B12_L19_P	AH28	56	PS_MIO34	K18
57	B12_L19_N	AH29	58	PS_MIO35	G21
59	GND	-	60	GND	-
61	B12_L3_P	Y26	62	PS_MIO28	L17
63	B12_L3_N	Y27	64	PS_MIO37	B21
65	GND	-	66	GND	-
67	B12_L5_P	AA27	68	PS_MIO38	A20
69	B12_L5_N	AA28	70	PS_MIO39	F18
71	GND	-	72	GND	-
73	B12_L8_N	AE30	74	B12_L21_P	AJ28
75	B12_L8_P	AD30	76	B12_L21_N	AJ29
77	GND	-	78	GND	-
79	B12_L15_N	AG29	80	B12_L7_N	AD26
81	B12_L15_P	AF29	82	B12_L7_P	AC26
83	GND	-	84	GND	-
85	B11_L23_N	AA23	86	B11_L11_P	AD23
87	B11_L23_P	AA22	88	B11_L11_N	AE23
89	GND	-	90	GND	-
91	B11_L21_N	Y23	92	B11_L9_P	AF23
93	B11_L21_P	Y22	94	B11_L9_N	AF24
95	GND	-	96	GND	-
97	B11_L22_N	AB24	98	B11_L10_N	AE21
99	B11_L22_P	AA24	100	B11_L10_P	AD21
101	GND	-	102	GND	-
103	B11_L7_P	AC24	104	B11_L24_P	AC22
105	B11_L7_N	AD24	106	B11_L24_N	AC23
107	+5V	-	108	+5V	-
109	+5V	-	110	+5V	-

111	+5V	-	112	+5V	-
113	+5V	-	114	+5V	-
115	+5V	-	116	+5V	-
117	+5V	-	118	+5V	-
119	+5V	-	120	+5V	-