

ALINX 黑金
AC7010B/AC7020B
核心板用户手册

ALINX

文档版本控制

| 文档版本 | 修改内容记录 |
|--------|--------|
| REV1.0 | 创建文档 |
| | |
| | |
| | |
| | |
| | |
| | |
| | |

版权申明：

本手册版权归属芯驿电子公司(上海)有限公司所有, 并保留一切权力。非经本公司(书面形式), 同意, 任何单位及个人不得擅自摘录或修改本手册部分或全部内容, 违者我们将追究其法律责任。

感谢您购买黑金开发板, 在使用产品之前, 请仔细地阅读该手册并且确保知道如何正确使用该产品, 不合理的操作可能会损坏开发板, 使用过程中随时参考该手册以确保正确使用。

此手册不断更新中, 建议您使用时下载最新版本。

软件版本：

本手册使用 Xilinx 官方提供的 Vivado 版本, 请从 Xilinx 网站下载正确的版本和使用我们提供的软件版本安装。

黑金官网：

[Http://www.alinx.com.cn](http://www.alinx.com.cn)

黑金动力社区:

<http://www.heijin.org>

黑金官方淘宝店：

<http://oshcn.taobao.com>

联系方式：

021-67676997

目 录

| | |
|---------------------|----|
| 文档版本控制..... | 2 |
| 版权申明：..... | 3 |
| 软件版本：..... | 3 |
| 一、简介..... | 6 |
| 二、结构尺寸..... | 8 |
| 三、电源..... | 9 |
| 四、ZYNQ7000..... | 10 |
| 1) JTAG 接口..... | 12 |
| 2) FPGA 供电系统..... | 13 |
| 3) ZYNQ 启动配置..... | 14 |
| 五、时钟配置..... | 14 |
| 5.1 PS 系统时钟源..... | 15 |
| 5.2 PL 系统时钟源..... | 15 |
| 六、PS 端的外设..... | 16 |
| 6.1 QSPI FLASH..... | 16 |
| 6.2 DDR3 DRAM..... | 17 |
| 6.3 千兆以太网接口..... | 21 |
| 6.4 USB2.0..... | 23 |
| 6.5 USB 转串口..... | 25 |
| 6.6 SD 卡槽..... | 26 |
| 6.7 用户 LED..... | 28 |
| 6.9 复位按键..... | 28 |
| 七、PL 端的外设..... | 29 |
| 7.1 用户 LED..... | 29 |
| 7.2 扩展口 J10..... | 30 |
| 7.5 扩展口 J11..... | 33 |
| 7.5 扩展口 J12..... | 35 |

黑金基于 XILINX ZYNQ7000 开发平台的两款核心板 2022 款正式发布了，型号为：AC7010B 和 AC7020B（工业级）。它们的开发平台是 XILINX 的 Zynq7000 SOC 芯片的解决方案。它采用 ARM+FPGA SOC 技术将双核 ARM Cortex-A9 和 FPGA 可编程逻辑集成在一颗芯片上。AC7010B 核心板采用的是 Xilinx 的 Zynq7000 系列 XC7Z010-1CLG400C 作为核心处理器，AC7020B 核心板则采用的工业级的 XC7Z020-2CLG400I 芯片。在 ARM 端扩展了丰富的外设接口，如千兆以太网，USB2.0，串口，SD 卡等等。另外核心板扩展出大量的 IO 到外面的 3 个连接器，其中包含 PL 的 94 个 IO 口（47 对 LVDS 差分）和 PS 的 8 个 MIO 口。对于需要大量 IO 的用户，此核心板将是不错的选择，对于二次开发来说，也非常适合

核心板设计上坚持“精致、实用、简洁”的设计理念，它不但适合于软件工作人员的前期的软件验证，也适合于硬件开发人员的硬件设计即软硬件的系统协作，加快项目的开发进程。



图 1-1 ZYNQ 核心板全貌

一、简介

在这里，对这款 ZYNQ7000 核心板 AC7010B/AC7020B 进行简单的功能介绍。

此款核心板使用的是 Xilinx 公司的 Zynq7000 系列的芯片，AC7010B 采用 Zynq7000 的 XC7Z010-1CLG400C 芯片，AC7020B 采用 Zynq7000 的 XC7Z020-2CLG400I 芯片，这两款芯片是管脚兼容的，都是 400 个引脚的 FBGA 封装。ZYNQ7000 芯片可分成处理器系统部分 Processor System (PS) 和可编程逻辑部分 Programmable Logic (PL)。

在 AC7010B/AC7020B 核心板上，ZYNQ7000 的 PS 部分搭载了丰富的外部接口和设备，方便用户的使用和功能验证；PL 端的 IO 口全部引出到板边的 2.54mm 连接器上，用于用户的扩展。另外核心板上有一个 7 x 2 的 JTAG 连接器，可以通过黑金的 Xilinx USB Cable 下载器对核心板进行下载和调试。图 1-2 为整个 AC7010B/AC7020B 整个系统的结构示意图：

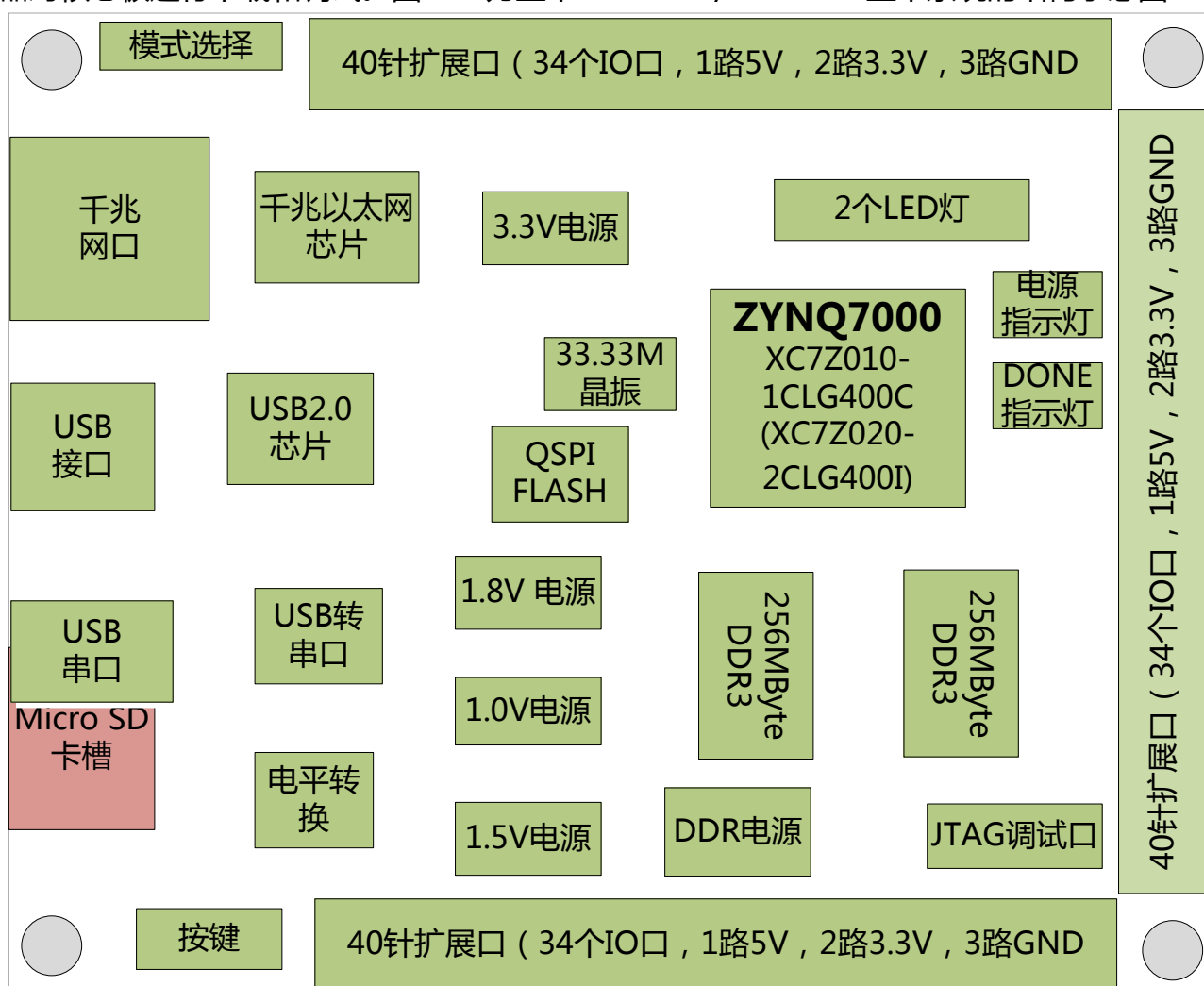


图 1-2 AC7010B/AC7020B 结构示意图

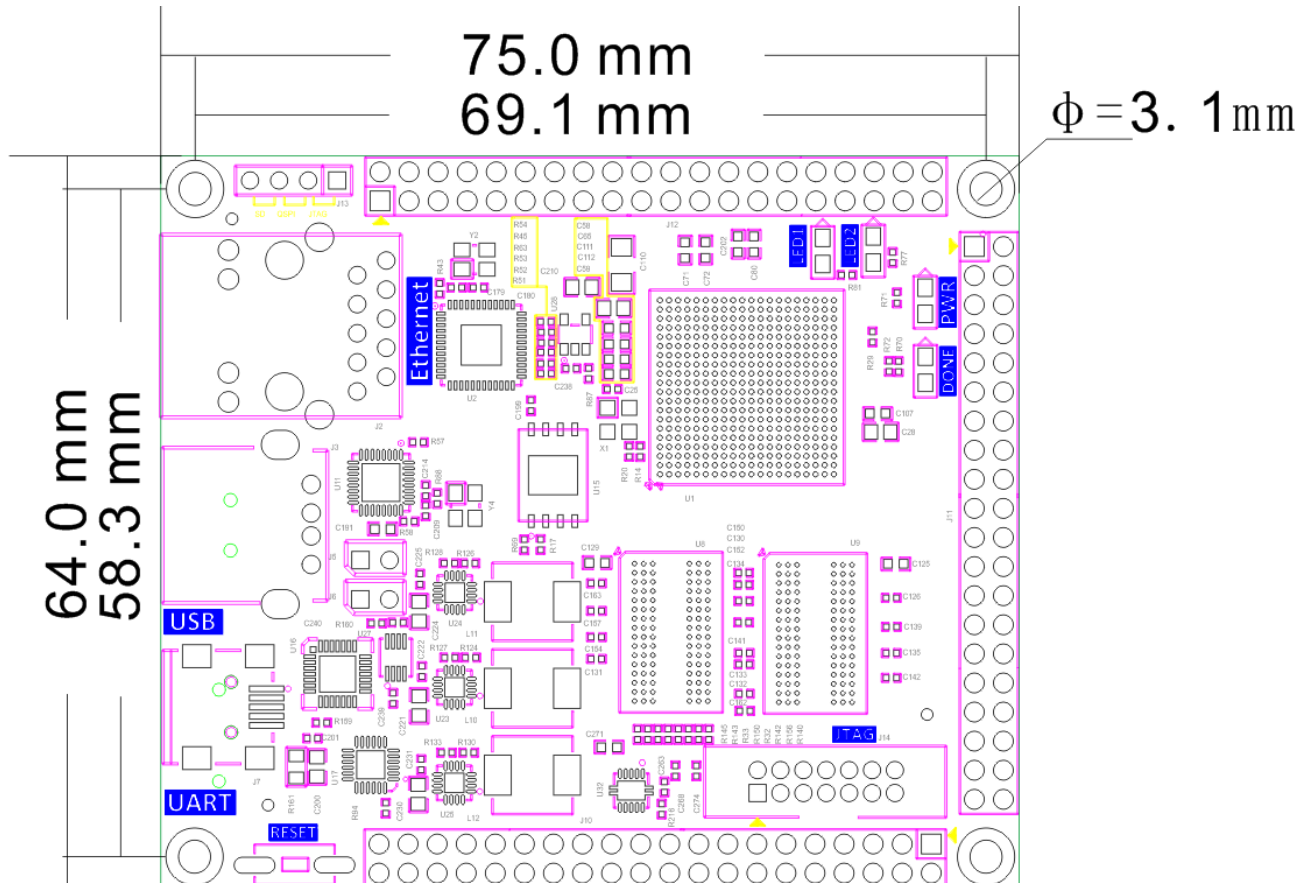
通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- USB 5V 电源供电,或者扩展口 5V 供电，最大电流不超过 500mA;

- Xilinx ARM+FPGA 芯片 Zynq-7000 XC7Z010-1CLG400C (AC7020B 为 XC7Z020-2CLG400I) ;
- 两片大容量的 2Gbit(共 4Gbit)高速 DDR3 SDRAM,可作为 ZYNQ 芯片数据的缓存 , 也可以作为操作系统运行的内存;
- 一片 256Mbit 的 QSPI FLASH, 可用作 ZYNQ 芯片的系统文件和用户数据的存储;
- 一路 10/100M/1000M 以太网 RJ-45 接口, 可用于和电脑或其它网络设备进行以太网数据交换;
- 一路高速 USB2.0 HOST 接口, 可用于核心板连接鼠标、键盘和 U 盘等 USB 外设;
- 一路高速 USB2.0 OTG 接口(背面), 用于和 PC 或 USB 设备的 OTG 通信;
- 一路 USB Uart 接口, 用于和 PC 或外部设备的串口通信;
- 2 个用户发光二极管 LED, 1 个 PS 控制, 1 个 PL 控制;
- 1 个复位按键, 用于 CPU 复位 ;
- 板载一个 33.333Mhz 的有源晶振, 给 PS 系统提供稳定的时钟源, 一个 50Mhz 的晶振为 PL 逻辑提供额外的时钟信号 ;
- 3 路 40 针的扩展口 (2.54mm 间距), 用于扩展 ZYNQ 的 PL 部分和 PS 部分的 IO。可以接 7 寸 TFT 模块、摄像头模块和 AD/DA 模块等扩展模块 ;
- 一个 14 针的 JTAG 口 (2.0mm 间距), 用于对 ZYNQ 系统进行调试和下载。 ;
- 1 路 Micro SD 卡座(核心板背面), 用于存储操作系统镜像和文件系统。

二、结构尺寸

核心板的尺寸为精简的 75mm x 64mm, PCB 采用 8 层板设计。板子四周有 4 个螺丝定位孔, 用于固定核心板, 定位孔的孔径为 3.1mm(直径), 资料中提供 dxf 结构图。



三、电源

电源输入：核心板供电电压为 DC5V，核心板单独工作时，请通过 USB 线连接到电脑的 USB 口来给核心板供电。配合底板时，也可以通过扩展口对核心板进行供电，如果通过底板对 AC7010B/AC7020B 核心板进行供电时，请把板上的 0Ω 电阻 (R161) 去掉。请不要用其他规格的电源，以免损坏核心板。核心板上的电源设计示意图如下：

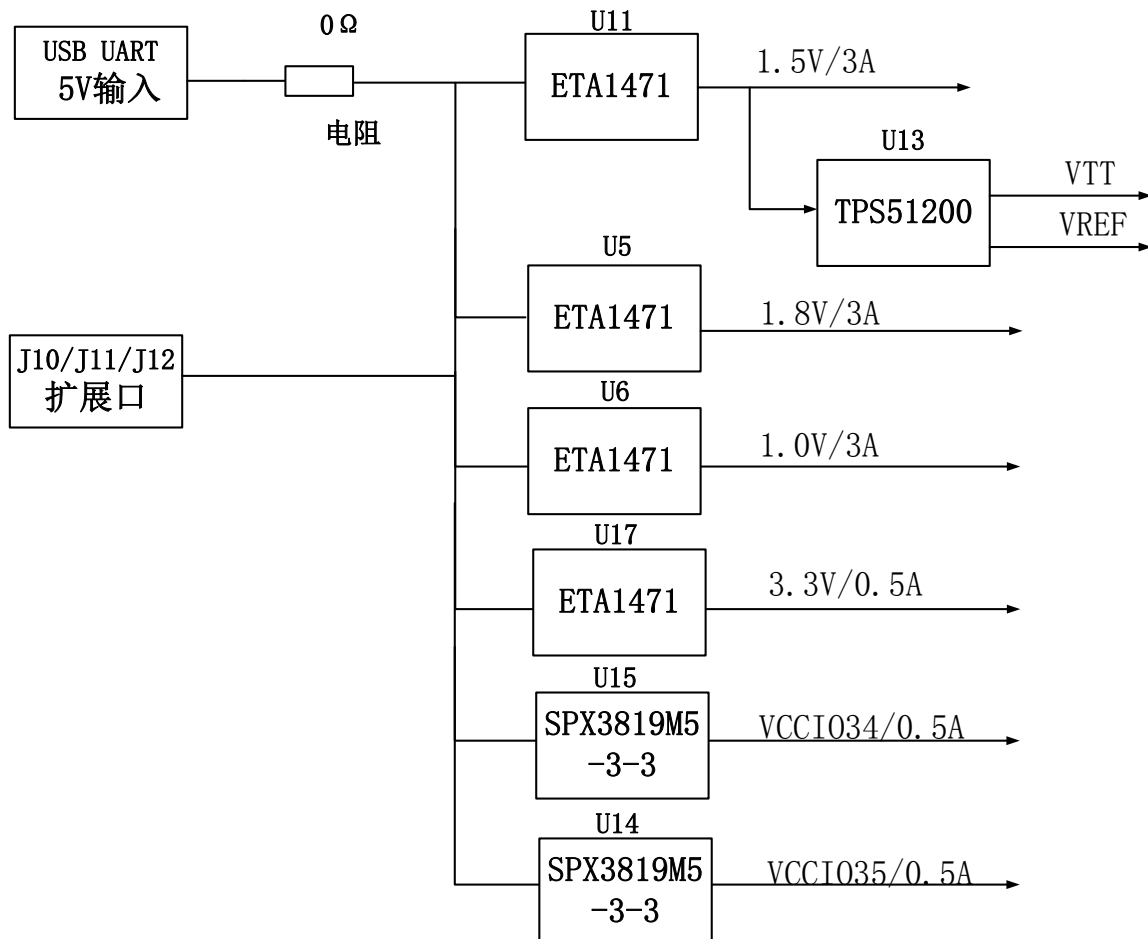


图 3-1 原理图中电源接口部分

核心板通过+5V 供电，通过三路 DC/DC 电源芯片 ETA1471 转化成+1.5V ,+1.8V ,+1.0V 三路电源，每路输出电流可高达 3A。通过三路 LDO SPX3819M5-3-3 产生 3.3V ,VCCIO34 和 VCCIO35 电源，VCCIO34 是针对 ZYNQ 的 BANK34 进行供电，VCCIO35 是针对 ZYNQ 的 BANK35 进行供电。通过更换其它的 LDO 芯片，使得 BANK34 和 BANK35 的 IO 适应不同的电压标准。+1.5V 通过 TI 的 TPS51200 生成 DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示：

| 电源 | 功能 |
|-------|---------------------------------|
| +3.3V | ZYNQ VCCIO, 以太网, 串口, HDMI, RTC, |

| | |
|-----------|---|
| | FLASH, EEPROM 以及 SD card |
| +1.8V | ZYNQ 辅助电压, ZYNQ PLL, ZYNQ Bank501 VCCIO, 以太网, USB2.0 |
| +1.0V | ZYNQ的核心电压 |
| +1.5V | DDR3, ZYNQ Bank502 |
| VREF, VTT | DDR3 |
| VCCIO34 | ZYNQ Bank34 |
| VCCIO35 | ZYNQ Bank35 |

因为 ZYNQ 的 PS 和 PL 部分的电源有上电顺序的要求，在电路设计中，我们已经按照 ZYNQ 的电源要求设计，上电依次为 1.0V -> 1.8V -> 1.5 V -> (3.3V, VCCIO34, VCCIO35)。图 3-2 为电源的电路设计：

我们在设计 PCB 的时候，采用 8 层 PCB，预留了独立的电源层和 GND 层，使得整个核心板的电源，具有非常好的稳定性。

四、ZYNQ7000

核心板使用的是 Xilinx 公司的 Zynq7000 系列的芯片，型号为 XC7Z010-1CLG400C (AC7020B 为 XC7Z020-2CLG400I)。芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/SDIO 接口，I2C 总线接口，CAN 总线接口，UART 接口，GPIO 等。PS 可以独立运行并在上电或复位下启动。ZYNQ7000 芯片的总体框图如图 4-1 所示

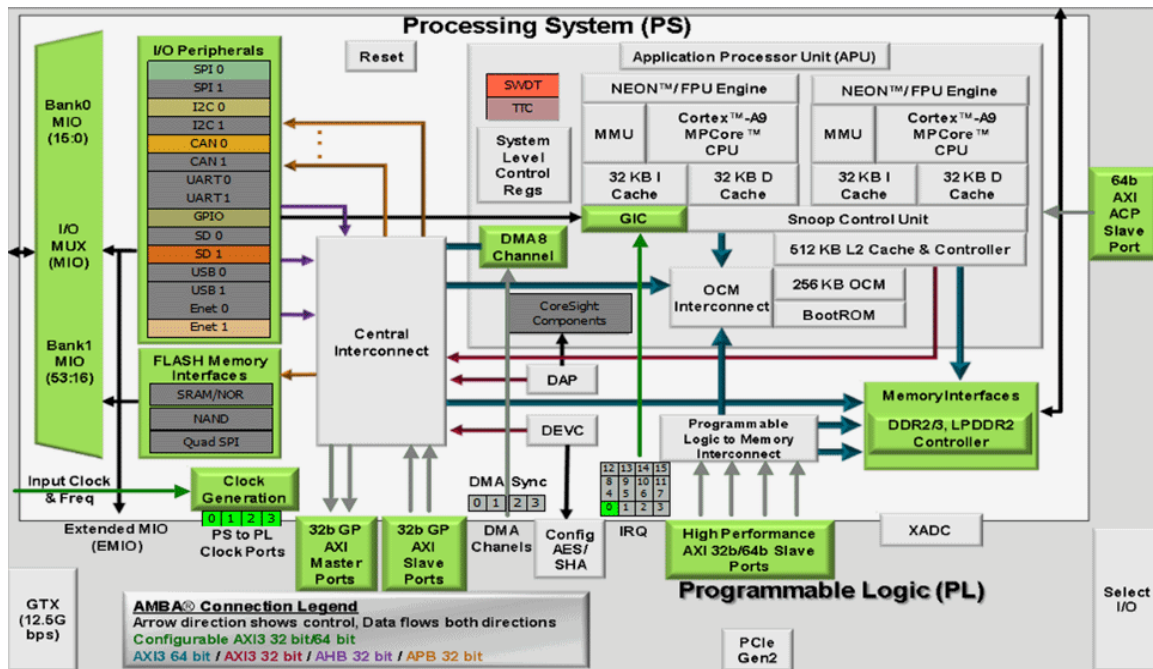


图4-1 ZYNQ7000芯片的总体框图

其中 PS 系统部分的主要参数如下：

- 基于 ARM 双核 CortexA9 的应用处理器
- 每个 CPU 32KB 1 级指令和数据缓存，512KB 2 级缓存 2 个 CPU 共享
- 片上 boot ROM 和 256KB 片内 RAM
- 外部存储接口，支持 16/32 bit DDR2、DDR3 接口
- 两个千兆网卡支持：发散-聚集 DMA，GMII，RGMII，SGMII 接口
- 两个 USB2.0 OTG 接口，每个最多支持 12 节点
- 两个 CAN2.0B 总线接口
- 两个 SD 卡、SDIO、MMC 兼容控制器
- 2 个 SPI，2 个 UARTs，2 个 I2C 接口
- 4 组 32bit GPIO，54 (32+22) 作为 PS 系统 IO，64 连接到 PL
- PS 内和 PS 到 PL 的高带宽连接

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元 Logic Cells：28K；
- 查找表 LUTs:17600
- 触发器(flip-flops):35200
- 乘法器 18x25MACCs：80；
- Block RAM：240KB；
- 两个 AD 转换器,可以测量片上电压、温度感应和高达 17 外部差分输入通道，1MBPS

XC7Z010-1CLG400C (或 XC7Z020-2CLG400I) 芯片为 BGA 封装, 400 个引脚, 引脚间距为 0.8mm。再次说明一下 BGA 管脚, 当我们使用 BGA 封装的芯片以后, 引脚名称变为由**字母+数字**的形式, 比如 E3, G3 等等, 因此我们在看原理图的时候, 看到的**字母+数字**这种形式的, 就是代表了 BGA 的引脚。图 4-2 为核心板所用的 XC7Z010 芯片实物图。



图4-2 XC7Z010芯片实物

1) JTAG 接口

首先我们来说 AC7010B/AC7020B 核心板的 JTAG 调试接口 (J14), 用户可以通过连接黑金的 Xilinx USB Cable 下载器来调试和下载 ZYNQ 的程序。图 4-3 就是 JTAG 口的原理图部分, 其中涉及到 TCK, TMS, TDO, TDI 这四个信号, 这四个信号分别连接到 Zynq7010 (Zynq7020) 芯片的 BANK0 的 JTAG 管脚上 (TCK_0, TMS_0, TDO_0 和 TDI_0)。

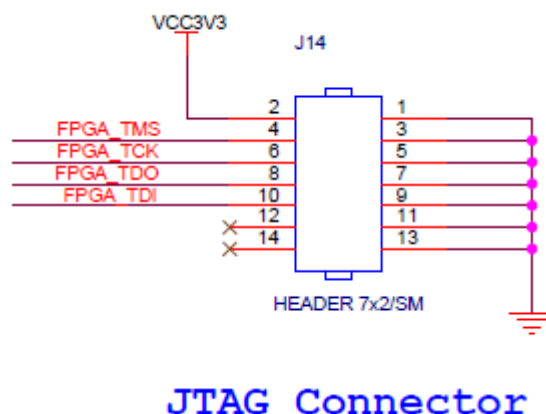


图4-3 原理图中JTAG接口部分

JTAG 接口采用 14 针的 2.0mm 标准的连接器,图 4-4 为 JTAG 接口在核心板上的实物图



图4-4 JTAG接口实物图

2) FPGA 供电系统

接下来,我们说一下 AC7010B/AC7020B 的电源设计部分。ZYNQ 芯片的电源分 PS 系统部分和 PL 逻辑部分,两部分的电源分别是独立工作。PS 系统部分的电源和 PL 逻辑部分的电源都有上电顺序,不正常的上电顺序可能会导致 ARM 系统和 FPGA 系统无法正常工作。

PS 部分的电源有 VCCPINT、VCCPAUX、VCCPLL 和 PS VCCO。VCCPINT 为 PS 内核供电引脚,接 1.0V;VCCPAUX 为 PS 系统辅助供电引脚,接 1.8V;VCCPLL 为 PS 的内部时钟 PLL 的电源供电引脚,也接 1.8V;PS VCCO 为 BANK 的电压,包含 VCCO_MIO0, VCCO_MIO1 和 VCCO_DDR,根据连接的外设不同,连接的电源电源也会不同,在 AC7010B/AC7020B 核心板上,VCC_MIO0 连接 3.3V,VCCO_MIO1 连接 1.8V,VCCO_DDR 连接 1.5V。PS 系统要求上电顺序分别为先 VCCPINT 供电,然后 VCCPAUX 和 VCCPLL,最后为 PS VCCO。断电的顺序则相反。

PL 部分的电源有 VCCINT, VCCBRAM, VCCAUX 和 VCCO。VCCPINT 为 FPGA 内核供电引脚,接 1.0V;VCCBRAM 为 FPGA Block RAM 的供电引脚;接 1.0V;VCCAUX 为 FPGA 辅助供电引脚,接 1.8V;VCCO 为 PL 的各个 BANK 的电压,包含 BANK13, BANK34, BANK35,在 AC7010B/AC7020B 核心板上,BANK 的电压连接 3.3V,其中 BANK34 和 BANK35 的电压可以通过更换 LDO 芯片来调整 IO 的电平。PL 系统要求上电顺序分别为先 VCCINT 供电,再是 VCCBRAM,然后是 VCCAUX,最后为 VCCO。如果 VCCINT 和 VCCBRAM 的电压一样,可以同时上电。断电的顺序则相反。

3) ZYNQ 启动配置

AC7010B/AC7020B 开发平台支持三种启动模式。这三种启动模式分别是 JTAG 调试模式, QSPI FLASH 和 SD 卡启动模式。ZYNQ7000 芯片上电后会检测响应 MIO 口的电平来决定那种启动模式。用户可以通过核心板上的 J13 的跳线来选择不同的启动模式。J13 启动模式配置如下表 4-1 所示。


| J13 | 跳帽位置 | 启动模式 |
|---|-----------|------------|
|  | 连接左边两个引脚 | SD Card |
| | 连接中间两个引脚 | QSPI FLASH |
| | 连接右边边两个引脚 | JTAG |

表4-1 J13启动模式配置

五、 时钟配置

AC7010B/AC7020B 核心板上为 PS 系统提供了有源时钟，PL 逻辑部分的时钟可以通过 PS 部分的 PLL 来产生，或者也可以由 50Mhz 的晶振来提供时钟源，从而实现 PS 系统和 PL 逻辑的单独工作。

5.1 PS 系统时钟源

ZYNQ 芯片通过核心板上的 X1 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK500 的 PS_CLK_500 的管脚上。其原理图如图 5-1 所示：

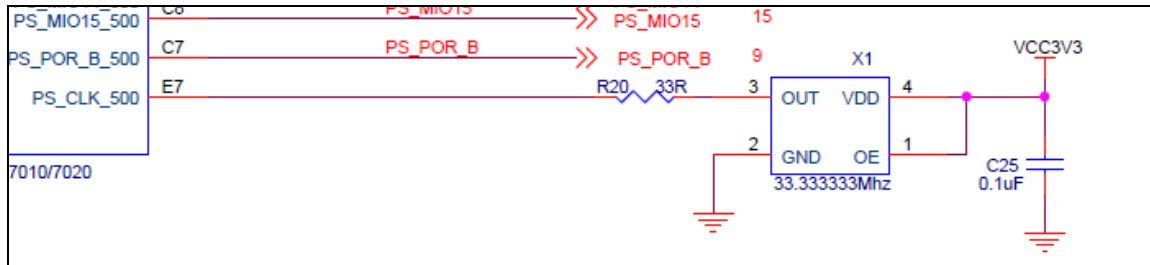


图5-1 PS部分的有源晶振

时钟引脚分配：

| 信号名称 | ZYNQ 引脚 |
|------------|---------|
| PS_CLK_500 | E7 |

5.2 PL 系统时钟源

AC7010B/AC7020B 核心板上 PL 系统时钟是由 50MHz 有源晶振来提供时钟源的。这个 50Mhz 的时钟可以用来驱动 FPGA 内的用户逻辑电路。该时钟源的原理示意图如图 5-3 所示

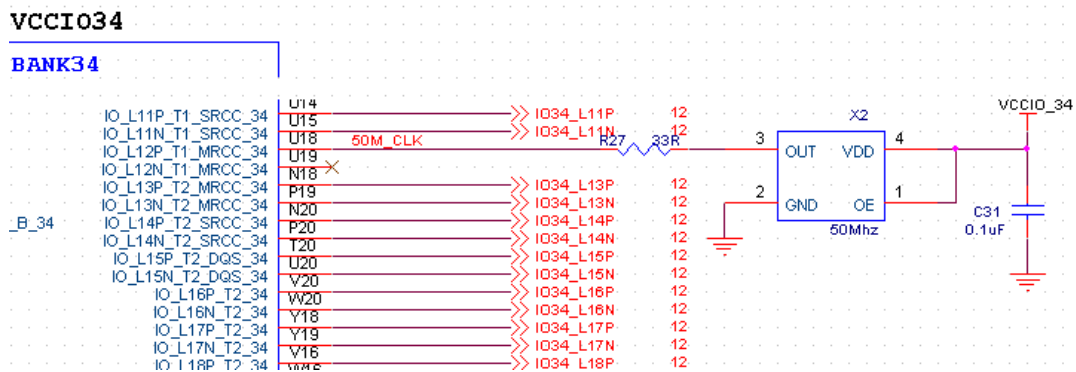


图 5-3 PL系统时钟源

PL 时钟引脚分配：

| 信号名称 | ZYNQ 引脚 |
|---------|---------|
| 50M_CLK | U18 |

六、PS 端的外设

因为 ZYNQ 是由 ARM 系统 PS 部分和 FPGA 逻辑 PL 部分组成，核心板上有些外设是连接到 PS 的 IO 上，有些外设是连接到核心板的 PL 的 IO 上。首先我们先对 PS 部分连接的外设做介绍。

6.1 QSPI Flash

核心板配有一片 256MB 大小的 Quad-SPI FLASH 芯片，型号为 W25Q256，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 6-1。

| 位号 | 芯片类型 | 容量 | 厂家 |
|----|-----------|----------|---------|
| U6 | W25Q256BV | 32M Byte | Winbond |

表6-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 6-1 为 QSPI Flash 在硬件连接示意图。

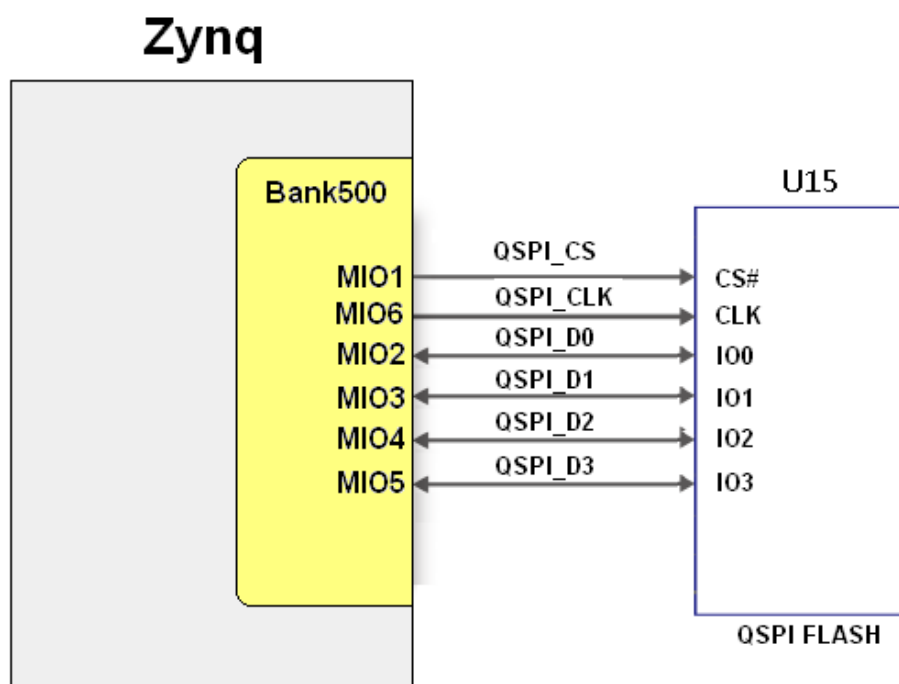


图6-1 QSPI Flash连接示意图

图 6-2 为 QSPI FLASH 的实物图



图 6-2 QSPI FLASH 实物图

配置芯片引脚分配：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 |
|----------|-------------|----------|
| QSPI_CLK | PS_MIO6_500 | A5 |
| QSPI_CS | PS_MIO1_500 | A7 |
| QSPI_D0 | PS_MIO2_500 | B8 |
| QSPI_D1 | PS_MIO3_500 | D6 |
| QSPI_D2 | PS_MIO4_500 | B7 |
| QSPI_D3 | PS_MIO5_500 | A6 |

6.2 DDR3 DRAM

AC7010B核心板上配有两个SKhynix(海力士)的2Gbit (256MB)的DDR3芯片(共计4Gbit),型号为H5TQ2G63FFR-RDC (兼容美光的MT41J128M16HA-125)。AC7020B核心板配备的两个SKhynix 4Gbit工业级的DDR3芯片(共计8Gbit),型号为H5TQ4G63AFR-PBI (兼容美光的MT41J256M16RE-125)。

DDR的总线宽度共为32bit, DDR3 SDRAM的最高运行速度可达533MHz(数据速率1066Mbps)。该DDR3存储系统直接连接到了ZYNQ处理系统(PS)的BANK 502的存储器接口上。DDR3 SDRAM的具体配置如下表6-1所示。

表6-1 DDR3 SDRAM配置

| 核心板 | 位号 | 芯片类型 | 容量 | 厂家 |
|-----|----|------|----|----|
|-----|----|------|----|----|

| | | | | |
|---------|-------|-----------------|--------------|---------|
| AC7010B | U8,U9 | H5TQ2G63FFR-RDC | 128M x 16bit | SKhynix |
| AC7020B | U8,U9 | H5TQ4G63AFR-PBI | 256M x 16bit | SKhynix |

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 6-2 所示:

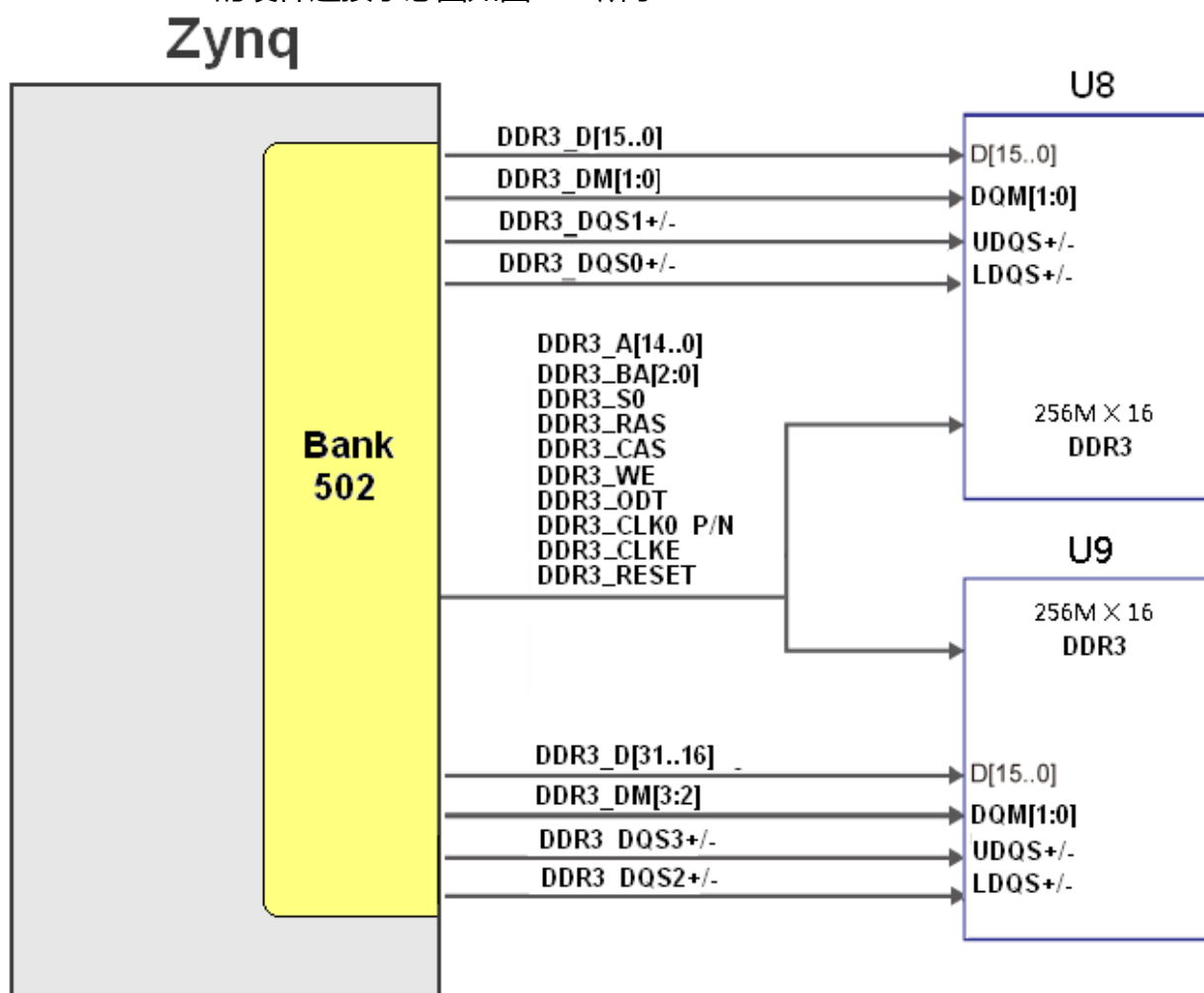


图6-2 DDR3 DRAM原理图部分

图 6-3 为 AC7010B 核心板上的 DDR3 DRAM 实物图

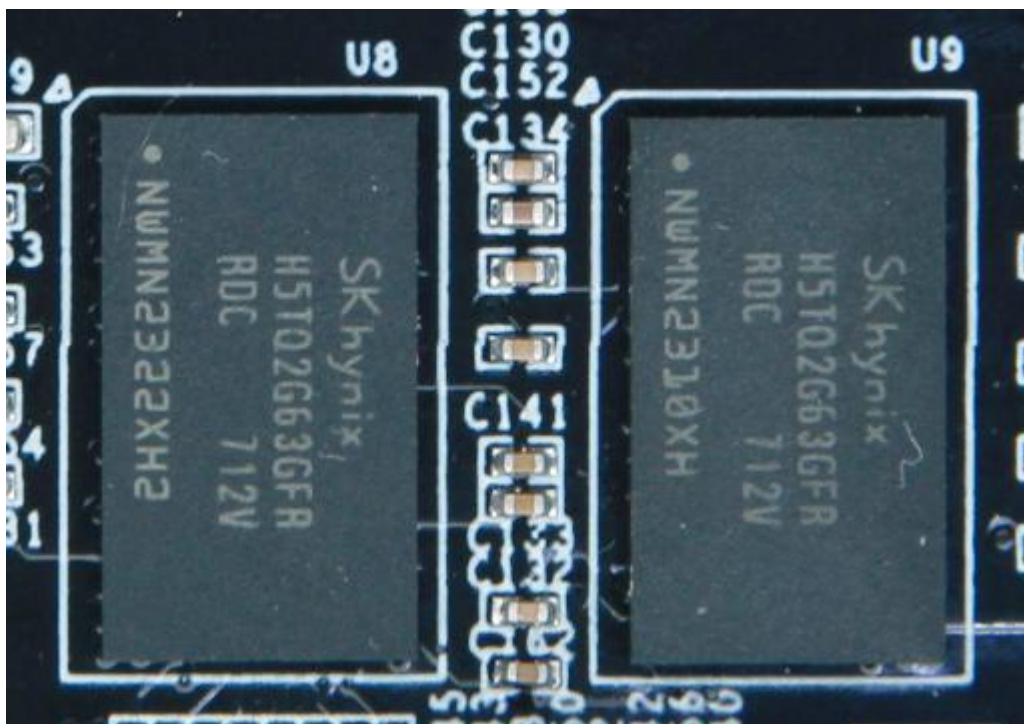


图 6-3 DDR3 SDRAM 实物图

DDR3 DRAM 引脚分配：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 |
|-------------|-------------------|----------|
| DDR3_DQS0_P | PS_DDR_DQS_P0_502 | C2 |
| DDR3_DQS0_N | PS_DDR_DQS_N0_502 | B2 |
| DDR3_DQS1_P | PS_DDR_DQS_P1_502 | G2 |
| DDR3_DQS1_N | PS_DDR_DQS_N1_502 | F2 |
| DDR3_DQS2_P | PS_DDR_DQS_P2_502 | R2 |
| DDR3_DQS2_N | PS_DDR_DQS_N2_502 | T2 |
| DDR3_DQS3_P | PS_DDR_DQS_P3_502 | W5 |
| DDR3_DQS4_N | PS_DDR_DQS_N3_502 | W4 |
| DDR3_DQ[0] | PS_DDR_DQ0_502 | C3 |
| DDR3_DQ [1] | PS_DDR_DQ1_502 | B3 |
| DDR3_DQ [2] | PS_DDR_DQ2_502 | A2 |
| DDR3_DQ [3] | PS_DDR_DQ3_502 | A4 |
| DDR3_DQ [4] | PS_DDR_DQ4_502 | D3 |
| DDR3_DQ [5] | PS_DDR_DQ5_502 | D1 |
| DDR3_DQ [6] | PS_DDR_DQ6_502 | C1 |
| DDR3_DQ [7] | PS_DDR_DQ7_502 | E1 |

| | | |
|--------------|-----------------|----|
| DDR3_DQ [8] | PS_DDR_DQ8_502 | E2 |
| DDR3_DQ [9] | PS_DDR_DQ9_502 | E3 |
| DDR3_DQ [10] | PS_DDR_DQ10_502 | G3 |
| DDR3_DQ [11] | PS_DDR_DQ11_502 | H3 |
| DDR3_DQ [12] | PS_DDR_DQ12_502 | J3 |
| DDR3_DQ [13] | PS_DDR_DQ13_502 | H2 |
| DDR3_DQ [14] | PS_DDR_DQ14_502 | H1 |
| DDR3_DQ [15] | PS_DDR_DQ15_502 | J1 |
| DDR3_DQ [16] | PS_DDR_DQ16_502 | P1 |
| DDR3_DQ [17] | PS_DDR_DQ17_502 | P3 |
| DDR3_DQ [18] | PS_DDR_DQ18_502 | R3 |
| DDR3_DQ [19] | PS_DDR_DQ19_502 | R1 |
| DDR3_DQ [20] | PS_DDR_DQ20_502 | T4 |
| DDR3_DQ [21] | PS_DDR_DQ21_502 | U4 |
| DDR3_DQ [22] | PS_DDR_DQ22_502 | U2 |
| DDR3_DQ [23] | PS_DDR_DQ23_502 | U3 |
| DDR3_DQ [24] | PS_DDR_DQ24_502 | V1 |
| DDR3_DQ [25] | PS_DDR_DQ25_502 | Y3 |
| DDR3_DQ [26] | PS_DDR_DQ26_502 | W1 |
| DDR3_DQ [27] | PS_DDR_DQ27_502 | Y4 |
| DDR3_DQ [28] | PS_DDR_DQ28_502 | Y2 |
| DDR3_DQ [29] | PS_DDR_DQ29_502 | W3 |
| DDR3_DQ [30] | PS_DDR_DQ30_502 | V2 |
| DDR3_DQ [31] | PS_DDR_DQ31_502 | V3 |
| DDR3_DM0 | PS_DDR_DM0_502 | A1 |
| DDR3_DM1 | PS_DDR_DM1_502 | F1 |
| DDR3_DM2 | PS_DDR_DM2_502 | T1 |
| DDR3_DM3 | PS_DDR_DM3_502 | Y1 |
| DDR3_A[0] | PS_DDR_A0_502 | N2 |
| DDR3_A[1] | PS_DDR_A1_502 | K2 |
| DDR3_A[2] | PS_DDR_A2_502 | M3 |
| DDR3_A[3] | PS_DDR_A3_502 | K3 |

| | | |
|------------|-------------------|----|
| DDR3_A[4] | PS_DDR_A4_502 | M4 |
| DDR3_A[5] | PS_DDR_A5_502 | L1 |
| DDR3_A[6] | PS_DDR_A6_502 | L4 |
| DDR3_A[7] | PS_DDR_A7_502 | K4 |
| DDR3_A[8] | PS_DDR_A8_502 | K1 |
| DDR3_A[9] | PS_DDR_A9_502 | J4 |
| DDR3_A[10] | PS_DDR_A10_502 | F5 |
| DDR3_A[11] | PS_DDR_A11_502 | G4 |
| DDR3_A[12] | PS_DDR_A12_502 | E4 |
| DDR3_A[13] | PS_DDR_A13_502 | D4 |
| DDR3_A[14] | PS_DDR_A14_502 | F4 |
| DDR3_BA[0] | PS_DDR_BA0_502 | L5 |
| DDR3_BA[1] | PS_DDR_BA1_502 | R4 |
| DDR3_BA[2] | PS_DDR_BA2_502 | J5 |
| DDR3_S0 | PS_DDR_CS_B_502 | N1 |
| DDR3_RAS | PS_DDR_RAS_B_502 | P4 |
| DDR3_CAS | PS_DDR_CAS_B_502 | P5 |
| DDR3_WE | PS_DDR_WE_B_502 | M5 |
| DDR3_ODT | PS_DDR_ODT_502 | N5 |
| DDR3_RESET | PS_DDR_DRST_B_502 | B4 |
| DDR3_CLK_P | PS_DDR_CKP_502 | L2 |
| DDR3_CLK_N | PS_DDR_CKN_502 | M2 |
| DDR3_CKE | PS_DDR_CKE_502 | N3 |

6.3 千兆以太网接口

AC7010B/AC7020B 核心板上以太网芯片采用景略半导体的工业级以太网 GPHY 芯片 (JL2121-N040I) 为用户提供网络通信服务。PS 端的以太网 PHY 芯片是连接到 ZYNQ 的 PS 端 BANK501 的 GPIO 接口上。PL 端的以太网 PHY 芯片是连接到 BANK35 的 IO 上。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率, 通过 RGMII 接口跟 Zynq7000 系统的 MAC 层进行数据通信。JL2121D 支持 MDI/MDX 自适应, 各种速度自适应, Master/Slave 自适应, 支持 MDIO 总线进行 PHY 的寄存器管理。

JL2121 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 6-4 描述了 GPHY 芯片上电之后的默认设定信息。

| 配置 Pin 脚 | 说明 | 配置值 |
|-------------------------------------|---------------------|-------------------|
| RXD3_ADR0 RXC_ADR1 RXCTL_ADR2 | MDIO/MDC 模式的 PHY 地址 | PHY Address 为 001 |
| RXD1_TXDLY | TX 时钟 2ns 延时 | 延时 |
| RXD0_RXDLY | RX 时钟 2ns 延时 | 延时 |

表 6-4PHY 芯片默认配置值

当网络连接到千兆以太网时，ZYNQ 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，ZYNQ 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 6-4 为 ZYNQ 与以太网 PHY 芯片连接示意图：

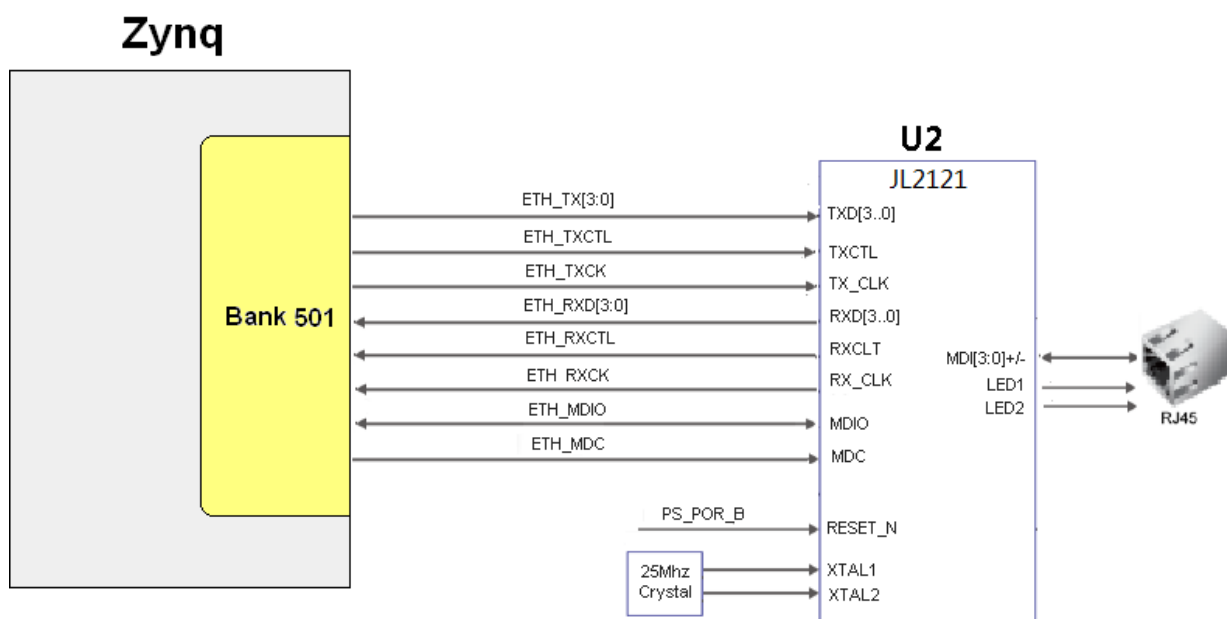


图 6-4 FPGA 与 PHY 连接示意图

以太网引脚分配如下：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|----------|--------------|----------|------------|
| ETH_TXCK | PS_MIO16_501 | A19 | RGMII 发送时钟 |
| ETH_TXD0 | PS_MIO17_501 | E14 | 发送数据 bit 0 |
| ETH_TXD1 | PS_MIO18_501 | B18 | 发送数据 bit1 |

| | | | |
|------------------|--------------|-----|------------|
| ETH_TXD2 | PS_MIO19_501 | D10 | 发送数据 bit2 |
| ETH_TXD3 | PS_MIO20_501 | A17 | 发送数据 bit3 |
| ETH_TXCTL | PS_MIO21_501 | F14 | 发送使能信号 |
| ETH_RXCK | PS_MIO22_501 | B17 | RGMII 接收时钟 |
| ETH_RXD0 | PS_MIO23_501 | D11 | 接收数据 Bit0 |
| ETH_RXD1 | PS_MIO24_501 | A16 | 接收数据 Bit1 |
| ETH_RXD2 | PS_MIO25_501 | F15 | 接收数据 Bit2 |
| ETH_RXD3 | PS_MIO26_501 | A15 | 接收数据 Bit3 |
| ETH_RXCTL | PS_MIO27_501 | D13 | 接收数据有效信号 |
| ETH_MDC | PS_MIO52_501 | C10 | MDIO 管理时钟 |
| ETH_MDIO | PS_MIO53_501 | C11 | MDIO 管理数据 |

6.4 USB2.0

AC7010B/AC7020B使用的USB2.0收发器是一个1.8V的，高速的支持ULPI标准接口的USB3320C-EZK。ZYNQ的USB总线接口和USB3320C-EZK收发器相连接，实现高速的USB2.0 Host模式和Slave模式的数据通信。USB3320C的USB的数据和控制信号连接到ZYNQ芯片PS端的BANK501的IO口上，一个24MHz的晶振为USB3320C提供系统时钟。

核心板上为用户提供了两个USB接口，一个是Host USB口，一个是OTG USB口。分别为扁型USB接口(USB Type A)和微型USB接口(Micro USB)，方便用户连接不同的USB外设。用户可以通过核心板上的J5，J6的跳线实现Host和OTG的切换。表6-3为模式切换说明：

表 6-3 USB 接口模式切换说明

| J5, J6 状态 | USB 模式 | 说明 |
|----------------|---------|------------------------------|
| J5 和 J6 安装跳线帽 | HOST 模式 | 核心板作为主设备，USB口连接鼠标，键盘，USB等从外设 |
| J5 和 J6 不安装跳线帽 | OTG 模式 | USB口连接电脑时，核心板作为从设备。 |

ZYNQ处理器和USB3320C-EZK芯片连接的示意图如6-6所示：

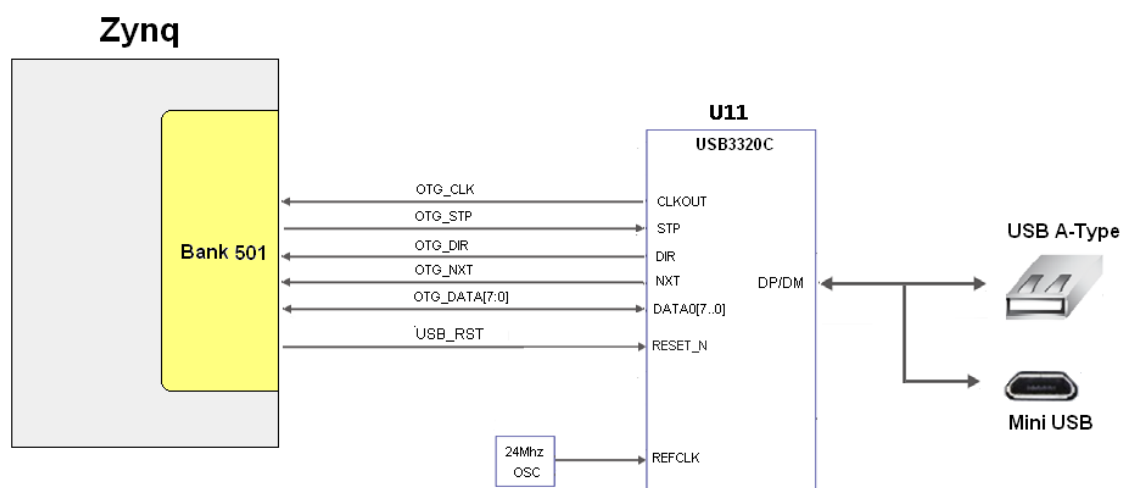


图 6-6 Zynq7000 和 USB 芯片间连接示意图

图 6-7 为 USB2.0 部分的实物图，U11 为 USB3320C，J3 为 Host USB 接口，J4 为 OTG USB 接口。跳线帽 J5 和 J6 用于 Host 和 OTG 模式的选择。

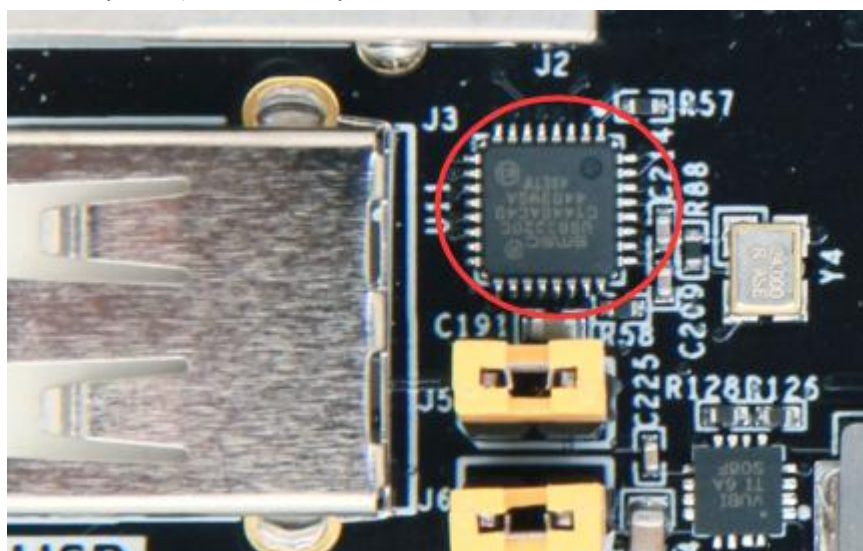


图 6-7 USB2.0 部分的实物图

USB2.0 引脚分配：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|-----------|--------------|----------|-------------|
| OTG_DATA4 | PS_MIO28_501 | C16 | USB 数据 Bit4 |
| OTG_DIR | PS_MIO29_501 | C13 | USB 数据方向信号 |
| OTG_STP | PS_MIO30_501 | C15 | USB 停止信号 |
| OTG_NXT | PS_MIO31_501 | E16 | USB 下一数据信号 |
| OTG_DATA0 | PS_MIO32_501 | A14 | USB 数据 Bit0 |
| OTG_DATA1 | PS_MIO33_501 | D15 | USB 数据 Bit1 |
| OTG_DATA2 | PS_MIO34_501 | A12 | USB 数据 Bit2 |

| | | | |
|------------|--------------|-----|-------------|
| OTG_DATA3 | PS_MIO35_501 | F12 | USB 数据 Bit3 |
| OTG_CLK | PS_MIO36_501 | A11 | USB 时钟信号 |
| OTG_DATA5 | PS_MIO37_501 | A10 | USB 数据 Bit5 |
| OTG_DATA6 | PS_MIO38_501 | E13 | USB 数据 Bit6 |
| OTG_DATA7 | PS_MIO39_501 | C18 | USB 数据 Bit7 |
| OTG_RESETN | PS_MIO46_501 | D16 | USB 复位信号 |

6.5 USB 转串口

AC7010B/AC7020B核心板采用Silicon Labs CP2102GM的USB转UART芯片, USB接口采用Micro USB接口, 用户可以用一根Micro USB线连接到PC上进行串口通信。

UART的TX/RX信号与ZYNQ EPP 的PS BANK501的信号相连, 因为该BANK的VCCMIO设置为1.8V, 但CP2102GM的数据电平为3.3V, 我们这里通过TXS0102DCUR电平转换芯片来连接。CP2102GM和ZYNQ连接的示意图如图6-8所示:

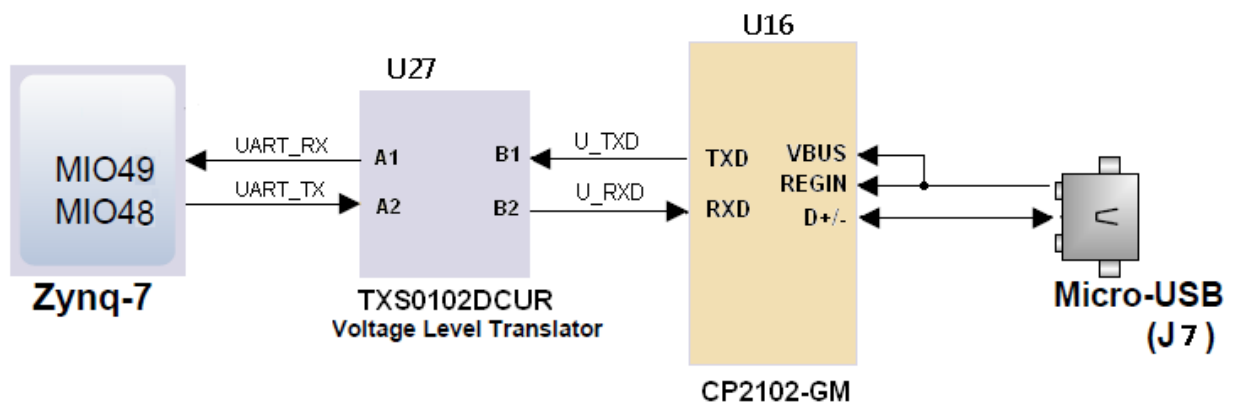


图 6-8 CP2102GM 连接示意图

图 6-9 为 USB 转串口的实物图

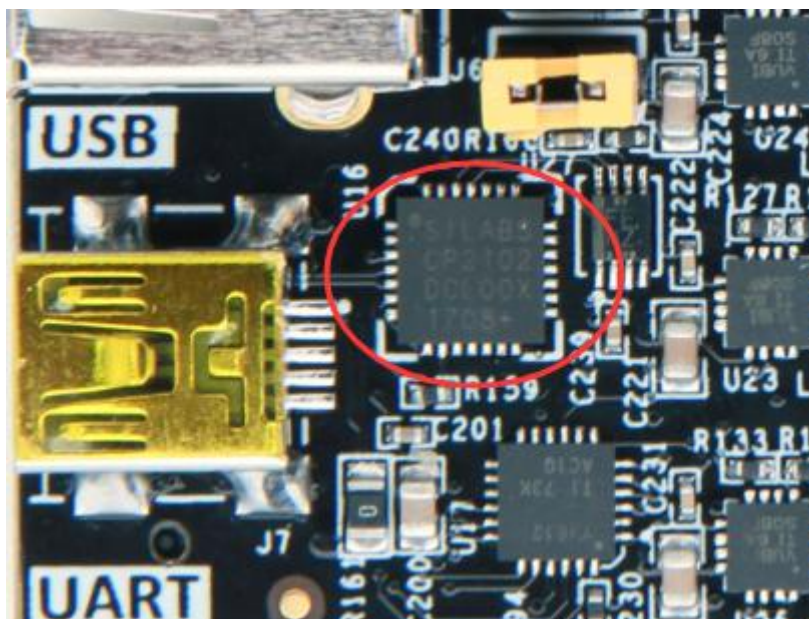


图 6-9 USB 转串口实物图

ZYNQ 串口引脚分配：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|---------|--------------|----------|----------|
| UART_TX | PS_MIO48_501 | B12 | Uart数据输出 |
| UART_RX | PS_MIO49_501 | C12 | Uart数据输入 |

Silicon Labs 为主机 PC 提供了虚拟 COM 端口 (VCP) 驱动程序。这些驱动程序允许 CP2102GM USB-UART 桥接设备在通信应用软件 (例如, TeraTerm 或超级终端) 显示为一个 COM 端口。VCP 设备驱动程序必须在 PC 主机与 AC7010B/AC7020B 核心板建立通信前进行安装。

6.6 SD 卡槽

AC7010B/AC7020B核心板包含了一个Micro型的SD卡接口, 以提供用户访问SD卡存储器, 用于存储ZYNQ芯片的BOOT程序, Linux操作系统内核, 文件系统以及其它的用户数据文件。

SDIO信号与ZYNQ的PS BANK501的IO信号相连, 因为该BANK的VCCMIO设置为1.8V, 但SD卡的数据电平为3.3V, 我们这里通过TXS02612电平转换器来连接。Zynq7000 PS和SD卡连接器的原理图如图6-10所示。

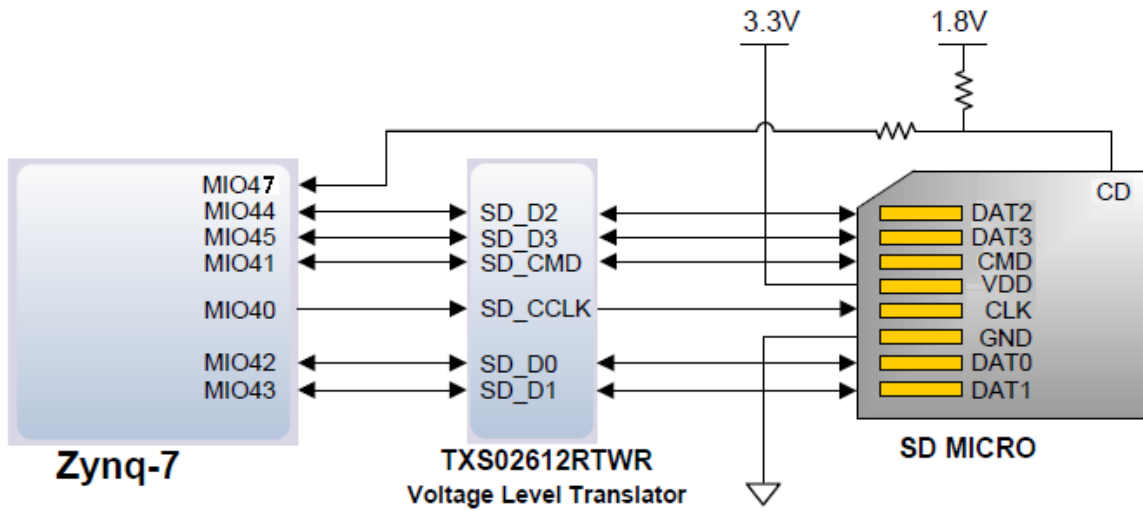


图 6-10 SD 卡连接示意图

SD 卡槽在核心板的背面，图 6-11 SD 卡槽实物图

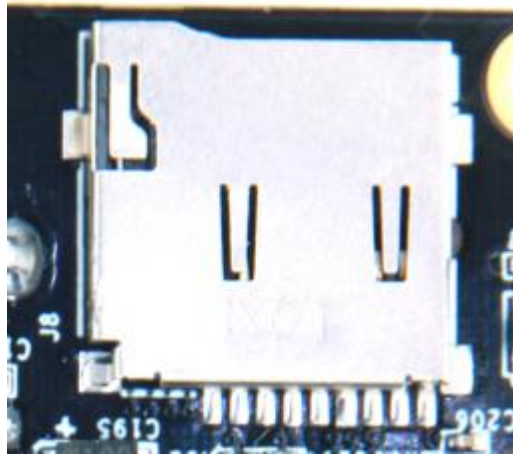


图 6-11 SD 卡槽实物图

SD 卡槽引脚分配

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|--------|----------|----------|-----------|
| SD_CLK | PS_MIO40 | D14 | SD时钟信号 |
| SD_CMD | PS_MIO41 | C17 | SD命令信号 |
| SD_D0 | PS_MIO42 | E12 | SD数据Data0 |
| SD_D1 | PS_MIO43 | A9 | SD数据Data1 |
| SD_D2 | PS_MIO44 | F13 | SD数据Data2 |
| SD_D3 | PS_MIO45 | B15 | SD数据Data3 |
| SD_CD | PS_MIO47 | B14 | SD卡插入信号 |

6.7 用户 LED

AC7010B/AC7020B 核心板上,PS 部分的 BANK500 IO 上连接了 1 个 LED 发光二极管,用户可以使用这个 LED 灯来调试程序。当 BANK500 IO 电压为高时,LED 灯熄灭,当 BANK500 IO 电压为低时,LED 会被点亮。ZYNQ BANK500 IO 和 LED 灯连接的示意图如图 6-14 所示:

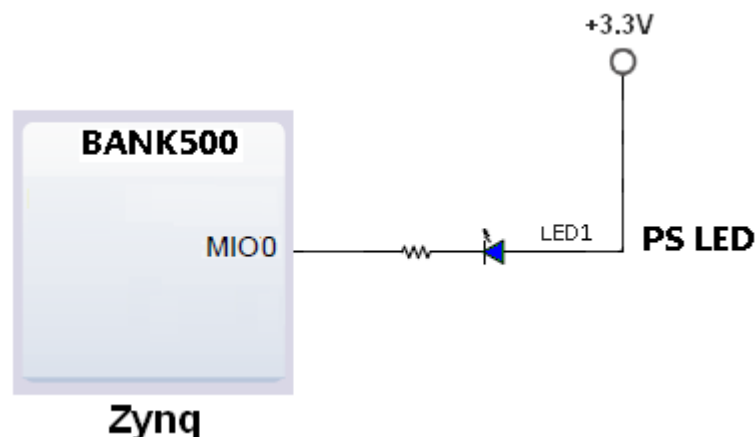


图 6-14 Zynq-7000 和 LED 灯连接示意图

图 6-15 为 PS 的 LED 灯实物图

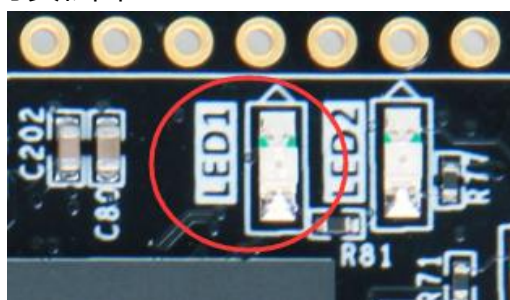


图 6-15 PS 的 LED 灯实物图

PS LED 灯的引脚分配

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|----------|-------------|----------|----------|
| MIO0_LED | PS_MIO0_500 | E6 | PS LED1灯 |

6.9 复位按键

AC7010B/AC7020B 核心板上,通过一个复位按键(RESET)对整个 ZYNQ 系统进行复位,复位信号连接到 PS 端的复位管脚 PS_POR_B_500 上。用户可以使用这个用户按键来手动复位,设计中当复位按键按下,复位信号为低,ZYNQ 芯片复位,当按键松开,ZYNQ 芯片开始正常工作。复位按键连接的示意图如图 6-16 所示:

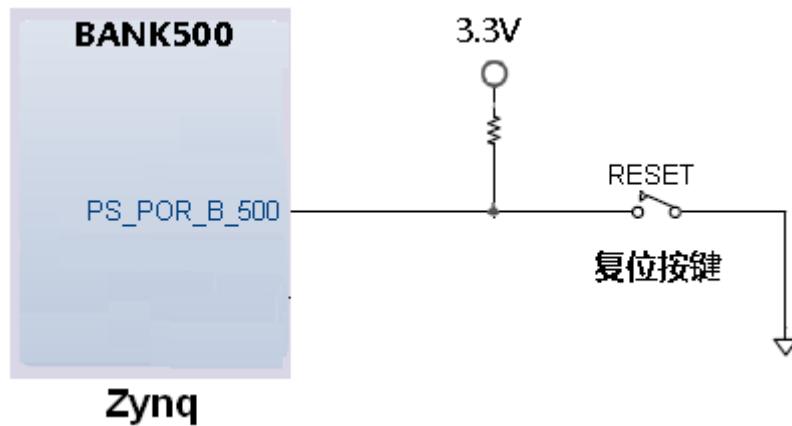


图 6-16 Zynq-7000 和按键连接示意图

复位的引脚分配

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|----------|--------------|----------|-----------|
| PS_POR_B | PS_POR_B_500 | C7 | RESET复位按键 |

七、PL 端的外设

下面我们再对 PL 部分（FPGA 逻辑部分）连接的外设做一下介绍。

7.1 用户 LED

AC7010B/AC7020B 核心板的 PL 部分也连接了 1 个 LED 发光二极管。PL 端 LED 部分的原理图如图 7-1，LED 灯的信号连接到 PL 部分 BANK34 的 IO 上。当 PL 部分 BANK34 的 IO 引脚输出为逻辑 0 时，LED 会被点亮，出为逻辑 1 时，LED 会被熄灭。

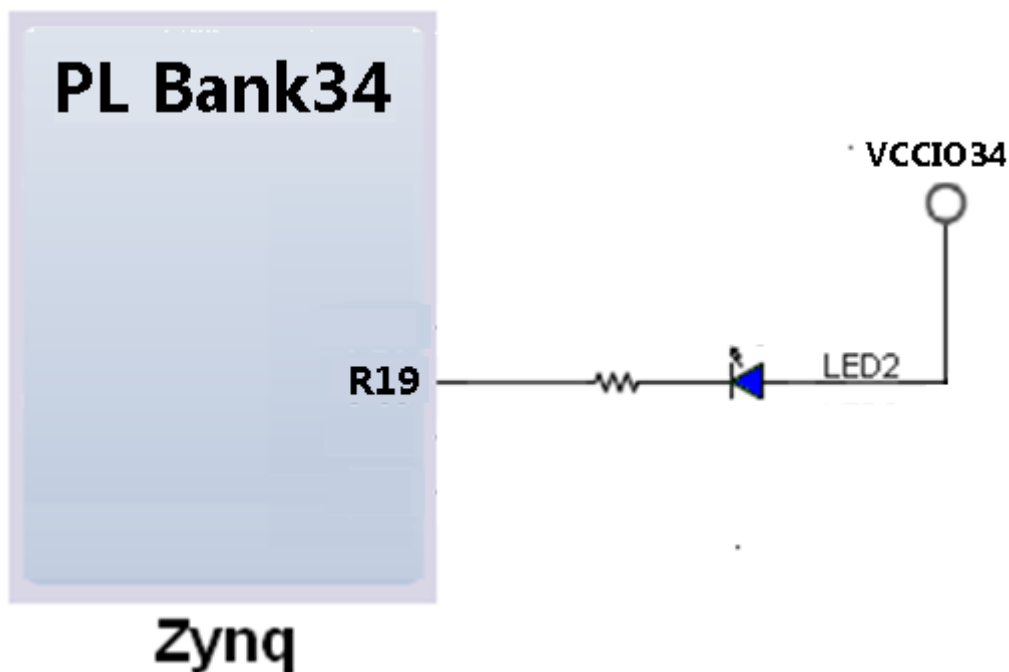


图 7-1 PL 用户 LED 原理图

图 7-2 为这 PL LED 灯的实物图

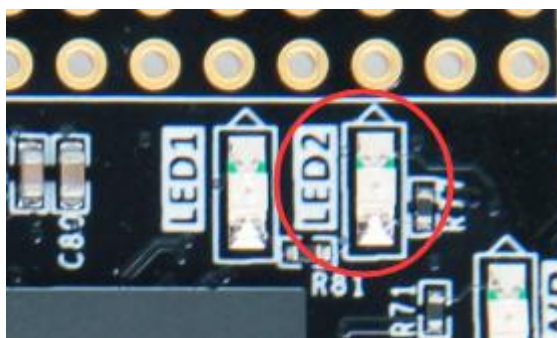


图 7-2 PL 用户 LED 实物图

PL 用户 LED 引脚分配：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|------|----------|----------|-----------|
| LED2 | IO_0_34 | R19 | PL用户LED2灯 |

7.2 扩展口 J10

扩展口 J10 为 40 管脚的 2.54mm 的双排连接器接口，为用户扩展更多的外设和接口，默认为不焊的，用户可以根据需要自己焊接双排排针或者排母。J10 接口上包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。在 34 个 IO 口信号中，其中有 26 个 IO 是连接到 ZYNQ

PL 的 BANK34 的 IO 上，在 PCB 设计上以差分对方式引出，默认电平为 3.3V，用户可以通过更换核心板上的电源芯片(U20)改变 BANK34 的 IO 的电平标准；另外有 8 个 IO 口是连接到 PS 端的 MIO 上，电平标准为 3.3V。

扩展口的 IO 切勿直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。

扩展口(J10)的电路如图 7-3 所示：

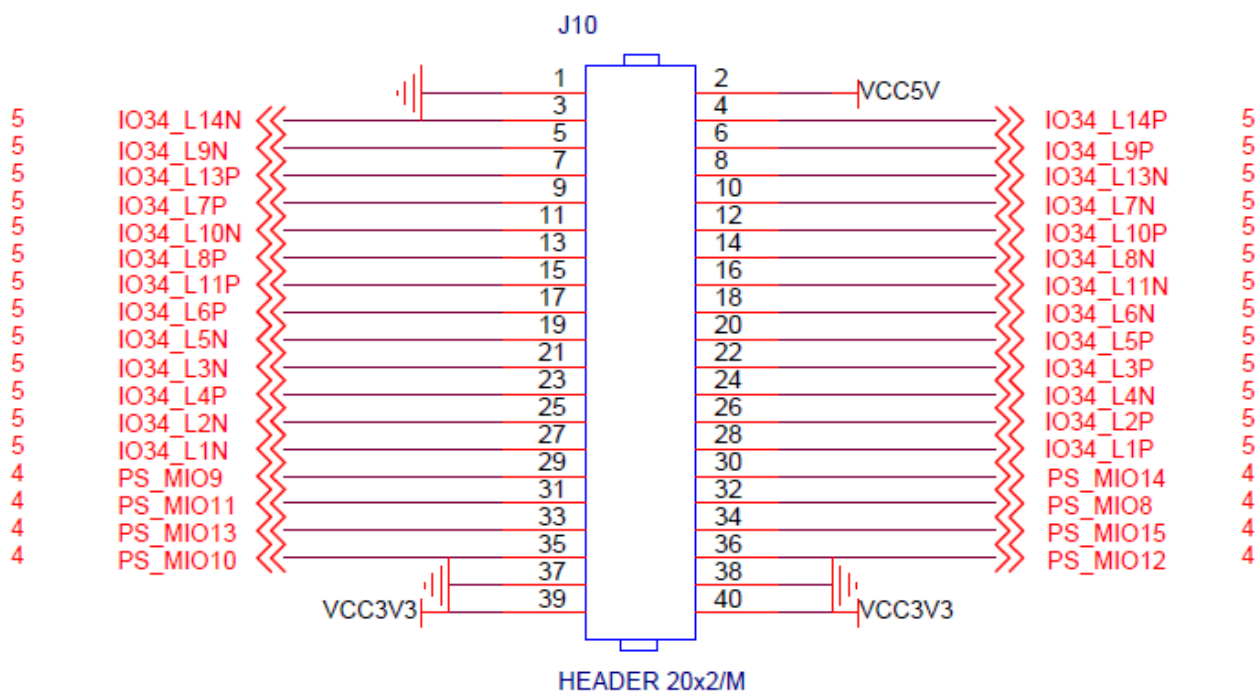


图 7-3 J10 扩展口原理图

图 7-4 为 J10 扩展接口实物图。



图 7-10 J10 扩展接口实物图

J10 扩展接口引脚分配

| J10 管脚 | 信号名称 | ZYNQ 引脚号 |
|--------|-----------|----------|
| PIN1 | GND | - |
| PIN2 | +5V | - |
| PIN3 | IO34_L14N | P20 |
| PIN4 | IO34_L14P | N20 |
| PIN5 | IO34_L9N | U17 |

| | | |
|-------|-----------|-----|
| PIN6 | IO34_L9P | T16 |
| PIN7 | IO34_L13P | N18 |
| PIN8 | IO34_L13N | P19 |
| PIN9 | IO34_L7P | Y16 |
| PIN10 | IO34_L7N | Y17 |
| PIN11 | IO34_L10N | W15 |
| PIN12 | IO34_L10P | V15 |
| PIN13 | IO34_L8P | W14 |
| PIN14 | IO34_L8N | Y14 |
| PIN15 | IO34_L11P | U14 |
| PIN16 | IO34_L11N | U15 |
| PIN17 | IO34_L6P | P14 |
| PIN18 | IO34_L6N | R14 |
| PIN19 | IO34_L5N | T15 |
| PIN20 | IO34_L5P | T14 |
| PIN21 | IO34_L3N | V13 |
| PIN22 | IO34_L3P | U13 |
| PIN23 | IO34_L4P | V12 |
| PIN24 | IO34_L4N | W13 |
| PIN25 | IO34_L2N | U12 |
| PIN26 | IO34_L2P | T12 |
| PIN27 | IO34_L1N | T10 |
| PIN28 | IO34_L1P | T11 |
| PIN29 | PS_MIO9 | B5 |
| PIN30 | PS_MIO14 | C5 |
| PIN31 | PS_MIO11 | C6 |
| PIN32 | PS_MIO8 | D5 |
| PIN33 | PS_MIO13 | E8 |
| PIN34 | PS_MIO15 | C8 |
| PIN35 | PS_MIO10 | E9 |
| PIN36 | PS_MIO12 | D9 |
| PIN37 | GND | - |

| | | |
|-------|-------|---|
| PIN38 | GND | - |
| PIN39 | +3.3V | - |
| PIN40 | +3.3V | - |

7.5 扩展口 J11

扩展口 J11 也为 40 管脚的 2.54mm 的双排连接器接口，为用户扩展更多的外设和接口，默认为不焊的，用户可以根据需要自己焊接双排排针或者排母。J11 接口可以直接连接黑金提供的模块，比如 **ADDA 模块**，**液晶屏模块**，**千兆以太网模块**，**音频输入输出模块**，**矩阵键盘模块**，**500W 双目视觉摄像头模块**。J11 接口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。34 个 IO 口的信号连接到 ZYNQ PL 的 BANK34 和 BANK35 上，在 PCB 设计上以差分对方式引出，电平默认为 3.3V。扩展口 J11 的 IO 可以通过更换核心板上的 VCCIO34 和 VCCIO35 的电源芯片(SPX3819M5-3-3)来改变 IO 的电平。

扩展口的 IO 切勿直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。

扩展口(J11)的电路如图 7-11 所示

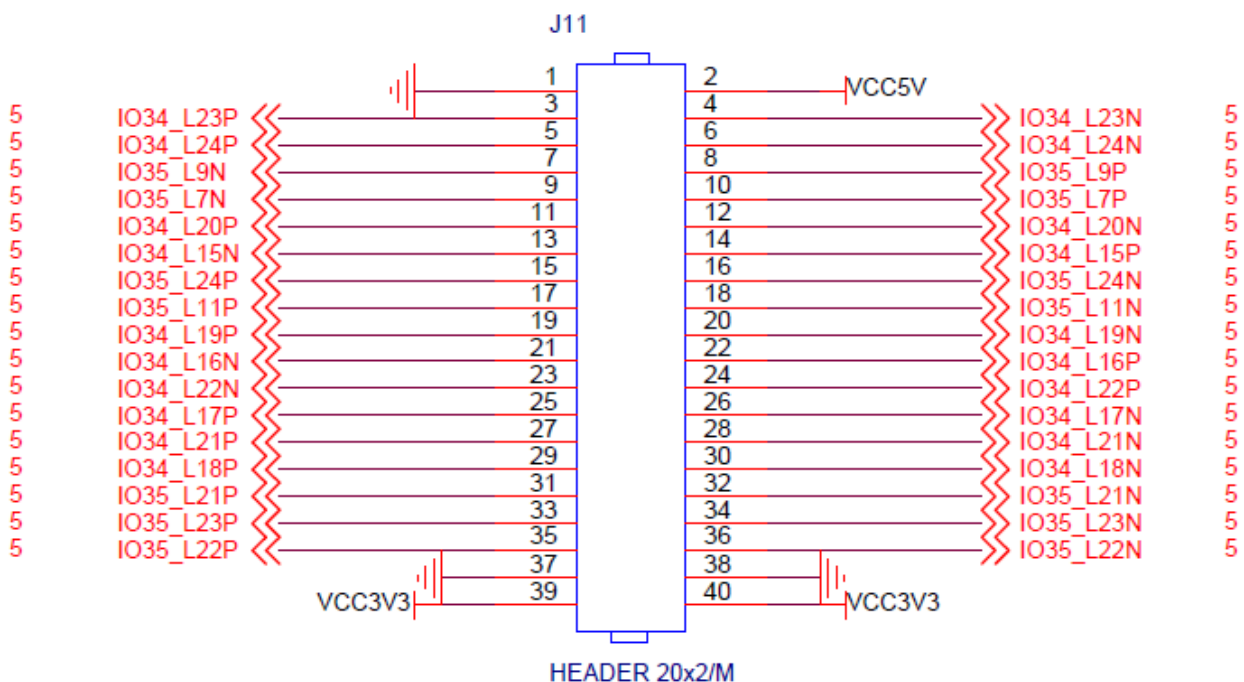


图 7-11 J11 扩展口原理图

图 7-12 为 J11 扩展接口实物图。

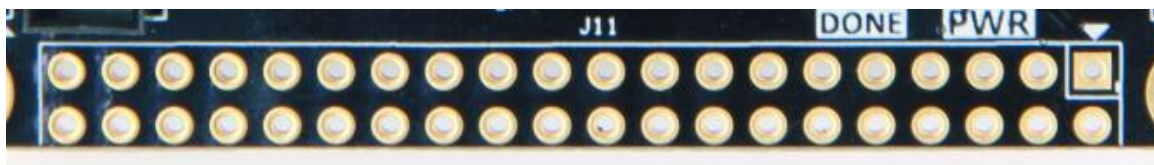


图 7-12 J11 扩展口实物图

J11 扩展口引脚分配

| J11 管脚 | 信号名称 | ZYNQ 引脚号 |
|--------|-----------|----------|
| PIN1 | GND | - |
| PIN2 | +5V | - |
| PIN3 | IO34_L23P | N17 |
| PIN4 | IO34_L23N | P18 |
| PIN5 | IO34_L24P | P15 |
| PIN6 | IO34_L24N | P16 |
| PIN7 | IO35_L9N | L20 |
| PIN8 | IO35_L9P | L19 |
| PIN9 | IO35_L7N | M20 |
| PIN10 | IO35_L7P | M19 |
| PIN11 | IO34_L20P | T17 |
| PIN12 | IO34_L20N | R18 |
| PIN13 | IO34_L15N | U20 |
| PIN14 | IO34_L15P | T20 |
| PIN15 | IO35_L24P | K16 |
| PIN16 | IO35_L24N | J16 |
| PIN17 | IO35_L11P | L16 |
| PIN18 | IO35_L11N | L17 |
| PIN19 | IO34_L19P | R16 |
| PIN20 | IO34_L19N | R17 |
| PIN21 | IO34_L16N | W20 |
| PIN22 | IO34_L16P | V20 |
| PIN23 | IO34_L22N | W19 |
| PIN24 | IO34_L22P | W18 |
| PIN25 | IO34_L17P | Y18 |

| | | |
|-------|-----------|-----|
| PIN26 | IO34_L17N | Y19 |
| PIN27 | IO34_L21P | V17 |
| PIN28 | IO34_L21N | V18 |
| PIN29 | IO34_L18P | V16 |
| PIN30 | IO34_L18N | W16 |
| PIN31 | IO35_L21P | N15 |
| PIN32 | IO35_L21N | N16 |
| PIN33 | IO35_L23P | M14 |
| PIN34 | IO35_L23N | M15 |
| PIN35 | IO35_L22P | L14 |
| PIN36 | IO35_L22N | L15 |
| PIN37 | GND | - |
| PIN38 | GND | - |
| PIN39 | +3.3V | - |
| PIN40 | +3.3V | - |

7.5 扩展口 J12

扩展口 J12 也为 40 管脚的 2.54mm 的双排连接器接口，为用户扩展更多的外设和接口，默认为不焊的，用户可以根据需要自己焊接双排排针或者排母。J12 接口可以直接连接黑金提供的模块，比如 **ADDA 模块，液晶屏模块，千兆以太网模块，音频输入输出模块，矩阵键盘模块，500W 双目视觉摄像头模块**。J12 接口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。34 个 IO 口的信号连接到 ZYNQ PL 的 BANK35 上，在 PCB 设计上以差分对方式引出，电平默认为 3.3V。扩展口 J12 的 IO 可以通过更换核心板上的 VCCIO35 的电源芯片 (SPX3819M5-3-3) 来改变 IO 的电平。

切勿直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。

扩展口 J12 的电路如图 7-13 所示

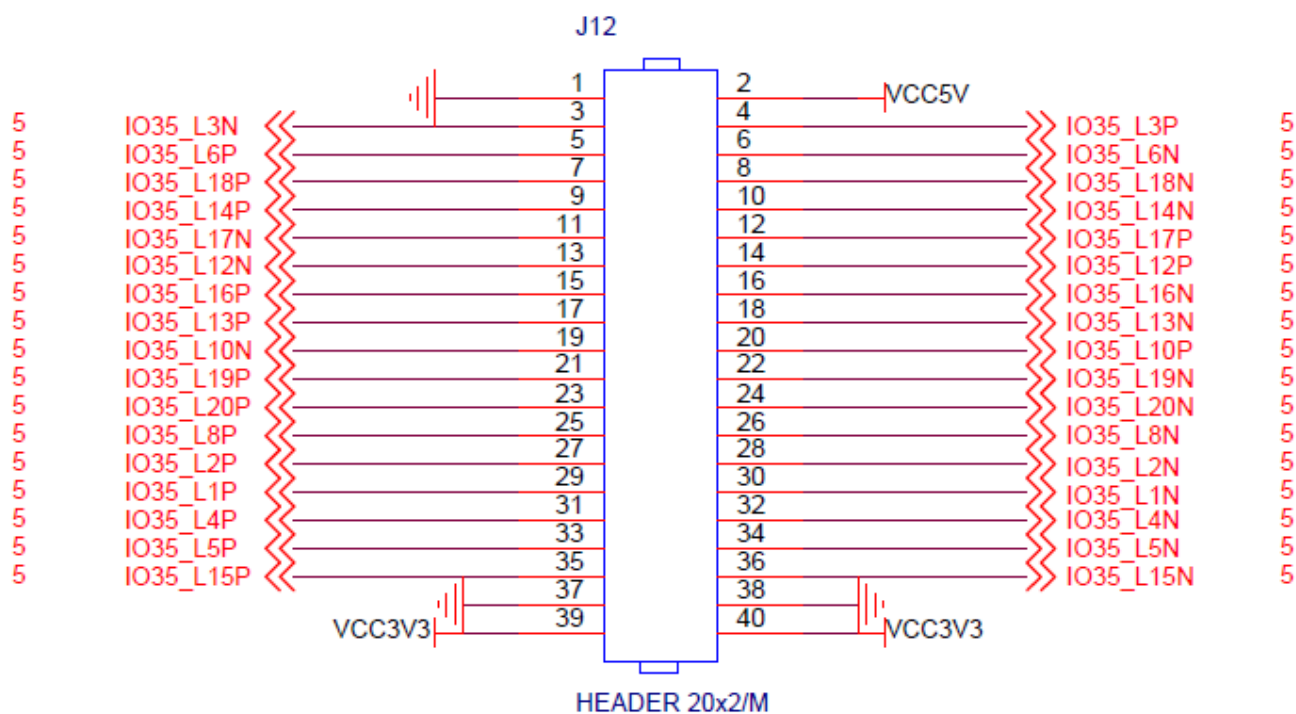


图 7-11 J12 扩展口原理图

图 7-14 为 J12 扩展口实物图。

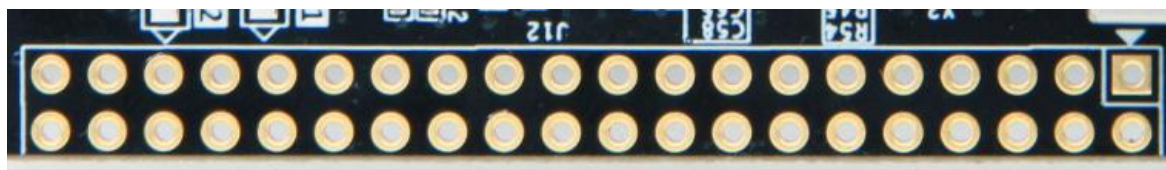


图 7-12 J12 扩展口实物图

J12 扩展口引脚分配

| J12 管脚 | 信号名称 | ZYNQ 引脚号 |
|--------|-----------|----------|
| PIN1 | GND | - |
| PIN2 | +5V | - |
| PIN3 | IO35_L3N | D18 |
| PIN4 | IO35_L3P | E17 |
| PIN5 | IO35_L6P | F16 |
| PIN6 | IO35_L6N | F17 |
| PIN7 | IO35_L18P | G19 |
| PIN8 | IO35_L18N | G20 |
| PIN9 | IO35_L14P | J18 |
| PIN10 | IO35_L14N | H18 |

| | | |
|-------|-----------|-----|
| PIN11 | IO35_L17N | H20 |
| PIN12 | IO35_L17P | J20 |
| PIN13 | IO35_L12N | K18 |
| PIN14 | IO35_L12P | K17 |
| PIN15 | IO35_L16P | G17 |
| PIN16 | IO35_L16N | G18 |
| PIN17 | IO35_L13P | H16 |
| PIN18 | IO35_L13N | H17 |
| PIN19 | IO35_L10N | J19 |
| PIN20 | IO35_L10P | K19 |
| PIN21 | IO35_L19P | H15 |
| PIN22 | IO35_L19N | G15 |
| PIN23 | IO35_L20P | K14 |
| PIN24 | IO35_L20N | J14 |
| PIN25 | IO35_L8P | M17 |
| PIN26 | IO35_L8N | M18 |
| PIN27 | IO35_L2P | B19 |
| PIN28 | IO35_L2N | A20 |
| PIN29 | IO35_L1P | C20 |
| PIN30 | IO35_L1N | B20 |
| PIN31 | IO35_L4P | D19 |
| PIN32 | IO35_L4N | D20 |
| PIN33 | IO35_L5P | E18 |
| PIN34 | IO35_L5N | E19 |
| PIN35 | IO35_L15P | F19 |
| PIN36 | IO35_L15N | F20 |
| PIN37 | GND | - |
| PIN38 | GND | - |
| PIN39 | +3.3V | - |
| PIN40 | +3.3V | - |